Entwicklung eines eigenständigen kompakten Datennahmesystems

Falk Karstens

Fakultät für Physik
Albert-Ludwigs-Universität Freiburg

Entwicklung eines eigenständigen kompakten Datennahmesystems

Diplomarbeit

vorgelegt
von

Falk Karstens

Universität Freiburg
Fakultät für Physik
Freiburg i. Br.

August 2002

Inhaltsverzeichnis

Kapitel 1

Einleitung

COMPASS – COmmon Muon and Proton Apparatus for Structure and Spectroscopy – ist ein Experiment der Mittelenergiephysik mit ruhendem Target und hoher Luminosität. Es gehört zu den Großexperimenten des Forschungsinstituts für Kerne und Teilchen CERN[1] in Genf. Es gibt verschiedene Forschungsprojekte bei COMPASS, die eine unterschiedliche Zielsetzung haben, und woraufhin der Messapparat angepasst wird. Das aktuelle Projekt ist das Myonenprogramm, worauf im Theorieteil dieser Arbeit näher eingegangen wird. Das Experiment untersucht zur Zeit mit einem polarisierten Myonenstrahl von 160 GeV die Struktur von Materie, im Besonderen die Spinstruktur von Nukleonen. Im Zentrum des Interesses steht die Photon-Gluon-Reaktion, die in tiefinelastischer Streuung des Myons an einem Nukleon auftritt. Durch Messung von spinabhängigen Asymmetrien von Produktionsraten von Photon-Gluon-Fusions-Reaktionen ist es möglich, die Polarisation der Gluonen im Nukleon zu bestimmen. Die hohen Ereignisraten des Experiments stellen besondere Anforderungen an den Detektor und im Besonderen an das Datennahmesystem. Von der Freiburger Arbeitsgruppe wurden wesentliche Teile des Datennahmesystems entwickelt. Dazu gehören ein zentrales Auslesemodul CATCH, welches mit verschiedenen Typen von CMC-Adapterplatinen in der Funktionalität angepasst werden kann, sowie Digitalisierungselektronik für Spurdetektoren (Front-End-Elektronik).

Ziel dieser Arbeit ist es, mit elektronischen Entwicklungen ein eigenständiges kompaktes und anpassungsfähiges Datennahmesystem aufzubauen, welches unabhängig vom COMPASS-Experiment arbeitet. Dadurch kann die Leistungsfähigkeit der Bestandteile des Datennahmesystems vom COMPASS-Experiment für Anwender anderer Experimente zugänglich gemacht werden. Das geforderte Ziel wird durch die Entwicklung eines Triggerverteilermoduls und eines Triggerlogikmoduls auf der Basis von programmierbaren ICs (FPGAs) erreicht.

Kapitel 2 beschreibt den COMPASS-Detektor, in dem modernste Technik zum Einsatz kommt. Das zweistufige Spektrometer gewährleistet exzellente Spurrekonstruktion und Teilchenidentifizierung. Hervorzuheben sind die Neuentwicklungen eines ringabbildenden Čerenkovzählers, Straw-Driftröhrchen, Gaselektronenvervielfacher (GEMs) und Mikrogittergasdetektoren (MicroMegas) die zu den modernsten

[1]alle Abkürzungen sind im Glossar, Anhang G aufgeführt

Detektoren gehören.

Im Anschluss an dieses Kapitel werden einige Aspekte der Physik des Myonenprogramms vom COMPASS-Experiment vorgestellt. Dazu ist die Kenntnis des Wirkungsquerschnittes der Open-Charm-Reaktion notwendig, der aus dem Feynman-Diagramm des untersuchten Prozesses berechnet werden kann, um die Gluonpolarisation aus der Asymmetrie von Produktionsraten für Photon-Gluon-Fusionen mit Übergang nach Open-Charm zu extrahieren.

Kapitel 4 beschreibt die Komponenten des COMPASS-Datennahmesystems, die für diese Arbeit relevant sind. Es beinhaltet weiterhin die Integration der Neuentwicklungen Triggerverteilermodul und Triggerlogikmodul in die bestehende Architektur von Datennahmemodulen. Die beiden Module ersetzen das komplexe Triggersystem des COMPASS-Experiments. Datenwege werden verkürzt, so dass sich die Handhabung vereinfacht und die Kompaktheit des eigenständigen Datennahmesystems erhöht.

Vorbereitend für eigene elektronische Entwicklungen ist es notwendig, verschiedene Möglichkeiten der Leitungsterminierung aufzuzeigen, um störende Signalreflexionen bei der Übertragung elektronischer Signale zu vermeiden. Das Kapitel "Signalübertragung" dient gleichzeitig als Einstieg in die Prinzipien der Elektronik, die die Grundvoraussetzung für die folgenden beiden Kapitel "Triggerverteiler" und "Triggerlogikmodul" sind.

Im Anhang befinden sich zusätzliche Informationen zu diesen beiden Kapiteln sowie zu einer weiteren zentralen Aufgabe meiner Tätigkeit – der Test großer Stückzahlen von Leiterplatten. Diese sehr spezifischen Informationen dienen weniger dem Verständnis, sondern sind als Arbeitsgrundlage laufender Tests gedacht.

Kapitel 2

COMPASS-Detektor

2.1 Einführung

Der COMPASS-Detektor befindet sich ca. 1 km vom SPS entfernt, von wo aus ein Teilchenstrahl aus Myonen auf das Target gelenkt wird. Im Target kommt es zu Reaktionen mit Protonen und Neutronen. Gemessen werden kinematische Größen der Streuteilchen, wie Energie, Impuls und Geschwindigkeit. Dadurch können Teilchen identifiziert und Zerfallskanäle der erzeugten Teilchen untersucht werden. Ein Überblick des Detektors ist in Abbildung 2.1 gegeben.

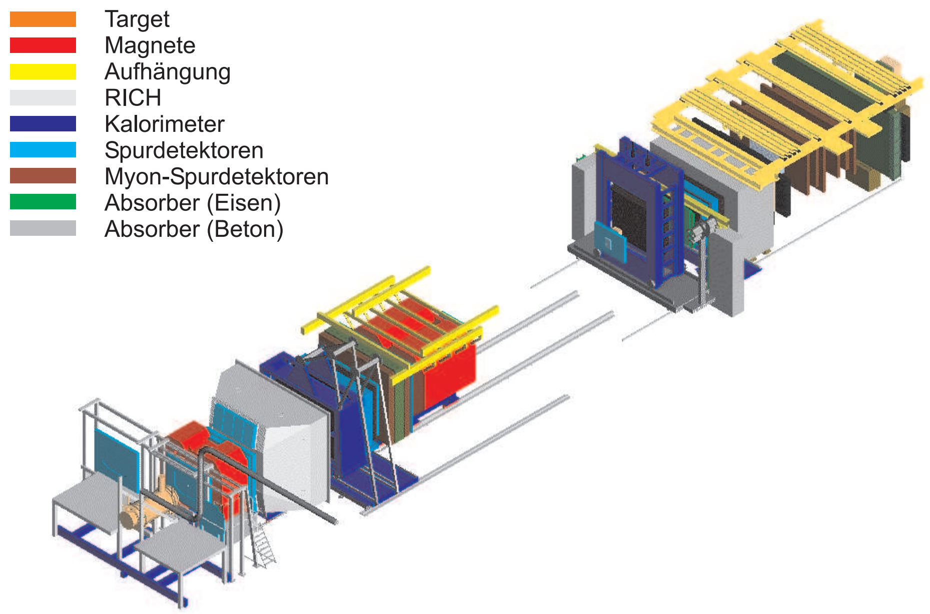


Abb. 2.1: Der aktuelle Aufbau des Detektors – zu sehen ist links unten das polarisierte Target mit nachfolgendem Spektrometer mit einer Ausdehnung von ca. 50 m.

Der Apparat kann Teilchen nachweisen, die in einen Winkelbereich von max. 210 mrad gestreut werden. Der Detektor besitzt hohe Messgenauigkeit und eine exzellente Teilchenidentifikation. Es werden Teilchenimpulse in einem großen Bereich (bis 200 GeV/c) bestimmt, was mit einem zweistufigen Aufbau des Spektrometers erreicht wird.

Der Gesamtdetektor besteht aus vielen einzelnen Komponenten, wobei einige entweder hängend oder auf Schienen fahrbar installiert sind, um Flexibilität im Aufbau zu erhalten.

Die Idee für dieses Experiment entstand 1995 aus den Vorschlägen der HMC- [1] und CHEOPS-Arbeitsgruppe [2]. Da beide Arbeitsgruppen ähnliche Anforderungen an den Detektor stellten, entschied man sich für eine Zusammenarbeit innerhalb der COMPASS-Kollaboration [3]. Ab 1997 begann der Aufbau des Experiments unter Verwendung neuer Komponenten und solcher aus abgebauten Experimenten, die zum Teil angepasst wurden. Nach ersten Tests in der Teststrahlphase im Sommer 2000 begann ein Jahr später die erste Datennahme.

2.2 Strahl

Für das Myonenprogramm des COMPASS-Experiments wird ein Teilchenstrahl aus Myonen benötigt. Ein hochenergetischer Protonenstrahl von ca. 400 GeV mit einer Intensität von 10^{12} bis 10^{13} Protonen/s wird aus dem Synchrotron ejiziert und trifft auf ein 50 cm langes Target aus Beryllium. Im Target entstehen u.a. eine Vielzahl an Pionen bzw. Kaonen, die durch einen Ablenkmagneten mit Blende bzgl. ihres Impulses selektiert werden, bevor sie auf einer Strecke von ca. 600 m zu 99,99 % bzw. 63,51 % in Myonen zerfallen:

$$\pi^+(\mathrm{K}^+) \rightarrow \mu^+ + \nu_\mu$$

Alle Myonen, die sich nach dem Zerfall im Akzeptanzbereich des Strahls bewegen, verbleiben im Strahl. Sie besitzen auf Grund des paritätsverletzenden Zerfalls longitudinale Polarisation. Am Ende der Zerfallsstrecke befindet sich ein Absorber, der die nicht zerfallenen Pionen bzw. Kaonen herausfiltert, so dass ein reiner Myonenstrahl entsteht. Durch Ablenkmagnete wird der Impuls und dadurch eine Polarisationsrichtung der Myonen selektiert. Gleichzeitig wird der Strahl auf einer Strecke von ca. 400 m an die Erdoberfläche gebracht, wo er in der Experimentierhalle 888 auf das COMPASS-Experiment trifft. Ca. 60 m vor dem Experiment befindet sich die Strahlimpulsstation. Aus dem Zusammenspiel von Spurdetektoren vor und hinter einem Ablenkmagneten kann die Ablenkung der Spuren und damit der Impuls der Strahlteilchen bestimmt werden. Innerhalb der Spilldauer von ca. 5 s hat der Strahl eine maximale Intensität von $2,2 \times 10^8\, \mu^+$/Spill. Darauf folgt eine Pause von ca. 12 s. Derzeit beträgt die Energie der Myonen 160 GeV. Die Summe der Strahlteilchen, die nicht unmittelbar zum Strahl gehören und sich in größerem Abstand in dessen Richtung bewegen, wird als Halo bezeichnet. Mit Veto-Hodoskopen werden diese störenden Strahlteilchen unterdrückt, die das Target verfehlen. Das Strahlprofil ist annähernd eine Gauß-Verteilung. Der Durchmesser des Strahls wird durch fokusierende Magnete vor dem Target bestimmt (s. Abb. 2.2).

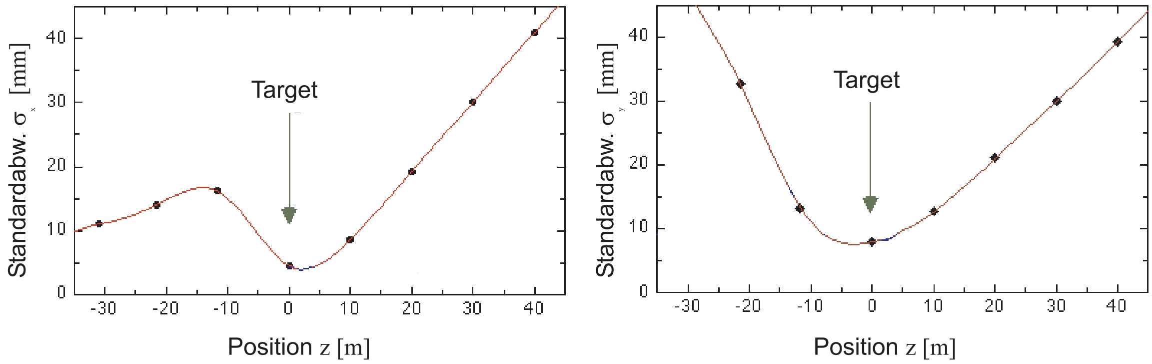


Abb. 2.2: Fokusierung des Strahls auf das Target des COMPASS-Experiments; Durchmesser in horizontaler Richtung im linken und in vertikaler Richtung im rechten Diagramm [4]

2.3 Target

Das Target ruht im Laborsystem, damit unterscheidet es sich wesentlich von Kollisionsexperimenten. Es steht mehr Streumaterial zur Verfügung, um Reaktionen, die einen geringen Wirkungsquerschnitt haben, mit hoher Statistik zu untersuchen bei vergleichsweise weniger Gesamtschwerpunktsenergie als bei Kollisionsexperimenten. Das Target besteht zur Zeit aus dem Material Lithiumdeuterid ^{6}LiD, um ein ausgeglichenes Verhältnis an polarisierbaren Protonen und Neutronen zur Verfügung zu stellen [5]. Für Messungen ausschließlich am Proton kommt als weiteres Material Ammoniak NH_3 zum Einsatz. Das Target besteht aus zwei Zellen von 60 cm Länge mit einem Durchmesser von 3 cm, welche durch einen Abstand von 10 cm getrennt sind. Beide Zellen des Targets werden entgegengesetzt polarisiert mit Hilfe der Methode der dynamischen Kernpolarisation. Dabei werden Mikrowellen bei einer Temperatur von 0,5 K eingestrahlt, welche durch ein aufwendiges Kühlsystem erreicht wird [6]. Durch die Einstrahlung werden paramagnetische Zentren, mit denen das Material des Targets dotiert ist, polarisiert. Die Polarisation überträgt sich langsam auf das Material des Targets (s. Abb. 2.3). Mit Kernspinresonanzsonden kann der Polarisationsgrad gemessen werden.

Ein Solenoid umschließt das Target. Dieser Magnet wird benutzt, um die longitudinale Polarisation des Targets herzustellen und aufrechtzuerhalten, wenn der Polarisationsvorgang abgeschlossen ist. Der Solenoid für das COMPASS-Experiment ist noch nicht einsatzbereit, so dass ein Magnet aus dem Vorgängerexperiment SMC verwendet wird [7]. Der geometrische Akzeptanzbereich für diesen Magneten hat einen Öffnungswinkel von 69 mrad, während man mit dem COMPASS-Magneten

180 mrad erreichen würde [8]. Der supraleitende Magnet hat eine homogene Feldstärke von 2,5 T.

Die longitudinale Polarisation von maximal 55 % für ^{6}LiD wird in regelmäßigen Abständen umgedreht, so dass Unterschiede, hauptsächlich in der geometrischen Akzeptanz, in den Zellen des Targets ausgeglichen werden.

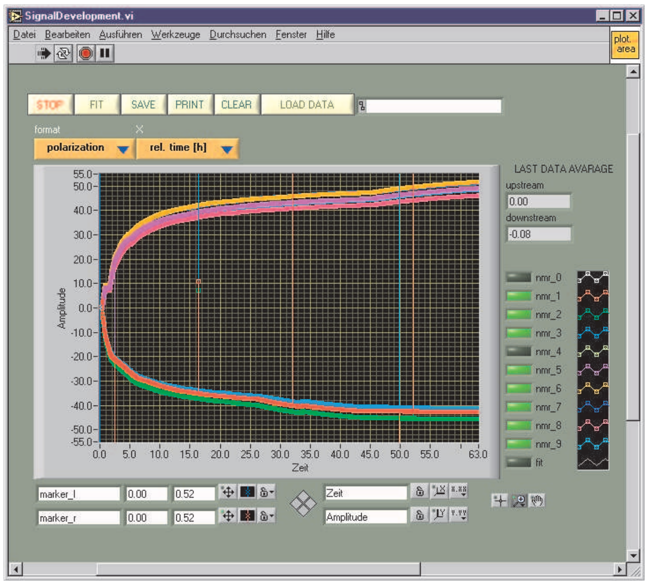


Abb. 2.3: Zunahme der Polarisation in beiden Zellen des Targets in Abhängigkeit von der Messzeit [9]

2.4 Spurrekonstruktion

Spurdetektoren sind Detektoren, mit deren Hilfe die Spur eines Teilchens rekonstruiert werden kann. Aus den Spuren von einlaufenden und auslaufenden Teilchen kann wiederum der primäre Vertex (s. Abb. 2.4), der Ort der Reaktion bestimmt werden.

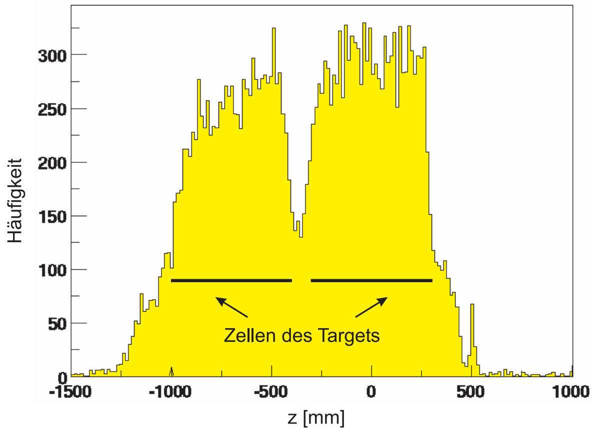


Abb. 2.4: Verteilung primärer Vertizes in den Targetzellen[10]

Die maximale Fläche für Spurdetektoren wird durch die angestrebte Winkelakzeptanz des Experiments bestimmt. Dadurch ergeben sich je nach Abstand vom Target unterschiedlich große Flächen. Bei großflächigen Detektoren, wie z.B. den Straw-Driftröhrchen, ist die Auflösung (s. Tab. 2.1) geringer und die Kanaldichte kleiner, als z.B. bei GEM-Detektoren, die eine kleinere Fläche abdecken. Weiterhin gibt es Spurdetektoren, die nur den kleineren Akzeptanzbereich des hinteren Spektrometerabschnitts abdecken oder zentrale Akzeptanzbereiche in der Nähe der Strahlachse, wie z.B. strahlenharte Siliziumstreifenzähler. Oft werden verschiedene Spurdetektoren kombiniert wie in Abbildung 2.5 gezeigt, so dass die Kanaldichte dem Teilchenfluss angepasst ist.

Tab. 2.1: Ortsauflösungen verschiedener Spurdetektoren [11, 12, 13]

Detektor	Auflösung [μm]
Siliziumstreifenzähler	14
GEM-Detektor	46
MicroMegas	70
szintillierende Fasern	120, 410
Driftkammer	175
Straw-Driftröhrchen	250
Myon-Driftröhren	400
Vieldrahtproportionalkammer	600
Plastik-Iarocci-Röhren	2500

Es gibt drei wesentliche physikalische Mechanismen zum Nachweis von geladenen Teilchen, die beim COMPASS-Experiment angewendet werden und alle auf Ionisation basieren. Geladene Teilchen ionisieren ein Gas. Die im Gas entstehenden elektrisch geladenen Teilchen werden vervielfacht, womit ein elektrisches Signal entsteht, welches verarbeitet werden kann.

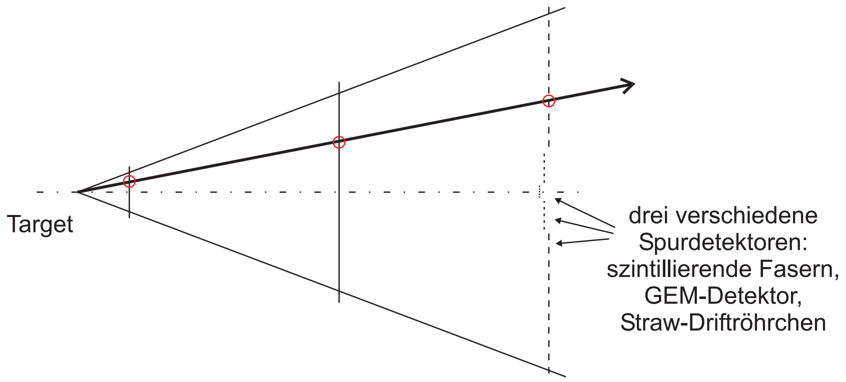


Abb. 2.5: Prinzip der Spurrekonstruktion innerhalb einer geometrischen Akzeptanz und Anordnung verschiedener Granularitäten innerhalb einer Rekonstruktionsebene durch Zusammensetzung mehrerer Detektortypen

Zu dieser Klasse gehören die gut etablierten Vieldrahtproportionalkammern, sowie Driftkammern, Myon-Driftröhren, Straw-Driftröhrchen, GEM-Detektoren, Plastik-Iarocci-Röhren und MicroMegas. Siliziumstreifenzähler gehören zu den Halbleiterdetektoren. Sie nutzen die Ladungsträgererzeugung von geladenen Teilchen, die durch die Verarmungszone eines pn-Überganges laufen. Szintillierende Fasern basieren auf dem Prinzip der Szintillation. Die Signalauslese dieses Spurdetektors ist zeitoptimiert mit einer Auflösung von etwa 350 ps und liefert eine Zeitinformation zu den rekonstruierten Spuren.

2.5 Magnete

Zwischen den Spurdetektoren des ersten Spektrometerabschnitts befindet sich ein Dipolspektrometermagnet SM1. Dieser erzeugt ein transversales – senkrecht zur Strahlachse – ausgerichtetes Magnetfeld mit integrierter Feldstärke von $\int B(l)\,\mathrm{d}l = 1,0\,\mathrm{Tm}$. Geladene Teilchen erfahren in diesem Feld eine Ablenkung durch die Lorentzkraft. Die horizontale Ablenkung ϕ ist abhängig von der Ladung q und dem Impuls p des Teilchens orthogonal zum Magnetfeld. Für kleine Ablenkungen und homogenes Magnetfeld gilt:

$$\phi = \frac{qBl}{p} \tag{2.1}$$

wobei l die Strecke ist, auf der das Magnetfeld B auf das Teilchen wirkt. Mit Hilfe der Spurrekonstruktion kann die Ablenkung bestimmt werden. Diese gibt den Impuls eines Teilchens und unterscheidet zwischen positiver und negativer Ladung. Das Experiment ist ein zweistufiges Spektrometer, somit gibt es noch einen zweiten Spektrometermagneten SM2 im hinteren Teil des Experiments mit einer maximalen integrierten Feldstärke von 5,2 Tm, die durch einen Strom von mehreren Tausend Ampère erreicht wird. Der Magnet SM2 deckt einen kleineren geometrischen Akzeptanzbereich von 30 mrad ab.

2.6 Teilchenidentifikation

Für die Identifikation von Kaonen, Pionen und Protonen befindet sich im ersten Spektrometerabschnitt ein ringabbildender Čerenkov-Zähler (RICH) für ein Impulsintervall von 3 bis 55 GeV/c. Im zweiten Abschnitt ist ein weiterer Čerenkov-Zähler in Planung. Mit Hilfe des RICH-Detektors wird die Geschwindigkeit von Kaonen, Pionen und Protonen bestimmt. Zusammen mit der Impulsinformation kann daraus die Masse m der Teilchen ermittelt werden, die die Teilchen identifiziert:

$$p = \gamma m v, \quad \gamma = \frac{1}{\sqrt{1 - v^2/c^2}} \tag{2.2}$$

Kaonen, Pionen und Protonen geben Čerenkov-Licht ab, wenn sie den Detektor passieren. Das Licht wird kegelförmig unter dem Winkel ϑ abgestrahlt, wenn sich das Teilchen mit einer Geschwindigkeit $v > c/n$ ($\beta = v/c$, c Lichtgeschwindigkeit) durch ein Medium (C_4F_{10}) mit Brechungsindex n bewegt, mit dem der Detektortank gefüllt ist:

$$\cos\vartheta = \frac{1}{n\,\beta} \tag{2.3}$$

Der Öffnungswinkel ϑ, der gemessen wird, ist somit abhängig von der Geschwindigkeit des Teilchens. Die Zahl der Photonen dN, die pro Länge im Wellenlängenintervall von λ bis dλ emittiert werden, ist [14]:

$$\mathrm{d}N = 2\pi\alpha_{\mathrm{e}}\sin^2(\vartheta)\frac{\mathrm{d}\lambda}{\lambda^2} \tag{2.4}$$

Die Anzahl ist relativ gering, deswegen hat der Detektor eine große Ausdehnung in Durchstoßrichtung der Teilchen (ca. 3,5 m; α_{e} Feinstrukturkonstante).

Mit Hilfe der Kalorimeter können die Energien von Elektronen, Photonen und Hadronen gemessen werden und damit identifiziert werden.

Myonen durchdringen Materie leichter als andere geladene Teilchen. Für ihre Identifikation befinden sich innerhalb der Flugstrecke der Streuteilchen Absorber aus Eisen und Beton. Zusammen mit Spurdetektoren für Myonen bilden diese eine Myonenwand, mit der sich Myonen auf Grund der Durchdringung erkennen lassen.

2.7 Auslösepuls

Die Datennahme des Detektors arbeitet ereignisselektiv. Dazu wird mit Triggerhodoskopen (Szintillatoren mit Fotoelektronenvervielfachern) und elektronischen Logikkomponenten eine Vorauswahl der Ereignisse getroffen, die für die zu untersuchende Physik interessant sind. Es handelt sich bei dem derzeitigen Physikprogramm um eine semiinklusive Messung, d.h. es werden gestreute Strahlteilchen und Teile der hadronischen Reaktionsprodukte nachgewiesen. Dieser Sachverhalt spiegelt sich in der Bedingung für die Datennahme wieder. Es werden gezielt gestreute Myonen aus Bereichen mit bestimmtem Energieverlust ν und Streuwinkel ϑ selektiert. Als Nebenbedingung wird eine Mindestenergie im hadronischen Kalorimeter verlangt [15]. Im aktuellen Programm treten Ausleseraten von 6 kHz auf, die in Zukunft noch auf 50 kHz gesteigert werden. Das Datennahmekontrollsystem (TCS s. [16]) ist für die Verteilung der Auslösepulse (Trigger) an alle Detektorkomponenten verantwortlich.

Kapitel 3

COMPASS-Physik

3.1 Einführung

Grundbaustein der Materie ist das Atom. Es besteht aus elementaren Elektronen, die sich in der Atomhülle befinden und dem Atomkern, der aus den Nukleonen Proton und Neutron besteht. Die Nukleonen wiederum bestehen aus elementaren Quarks. Elektronen und Quarks sind Fermionen und sind Bestandteil des Standardmodells. Die Wechselwirkung zwischen Quarks wird durch die Theorie der Quantenchromodynamik unter Einführung von Farbladungen und den Austauschteilchen Gluonen, zu den Bosonen gehörend, beschrieben. Alle genannten Bausteine besitzen die fundamentale Eigenschaft Spin. Das Quark hat die Spinquantenzahl $\frac{1}{2}$, das Gluon die Spinquantenzahl 1, und das Nukleon selber hat ebenfalls die Spinquantenzahl $\frac{1}{2}$. Der Zusammenhang zwischen dem Gesamtspin des Nukleons und den Spins ihrer elementaren Grundbausteine Quarks und Gluonen ist zentraler Gegenstand des Myonenprogramms des COMPASS-Experiments.

3.2 Naives Spinmodell

Spin ist quantisiert. Das Nukleon trägt den kleinst möglichen Spin, abgesehen von gar keinem Spin. Dieser hat bei einer ausgezeichneten Richtung zwei verschiedene Spineinstellungen, dargestellt in Abbildung 3.1.

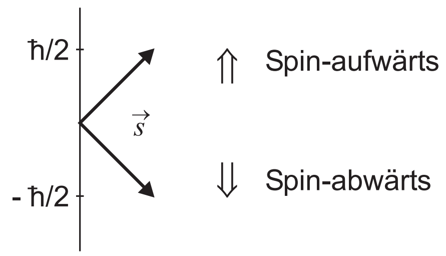


Abb. 3.1: Verschiedene Spineinstellungen eines Fermions bei einer ausgezeichneten Richtung

In einem einfachen Modell besteht das Proton aus drei Valenzquarks uud, aus deren Quantenzahlen die Quantenzahlen des Protons aufgebaut werden können. In einer statischen Betrachtung leitet sich der Spinanteil der Wellenfunktion χ_{P} des Protons aus der Kopplung der Spinanteile $\chi_{f=\mathrm{u,d}}$ der Wellenfunktionen der u- und d-Quarks ab. Die Kopplung kann mit Clebsch-Gordon-Koeffizienten folgendermaßen dargestellt werden [17]:

$$\chi_{\mathrm{P}} = \sqrt{\frac{2}{3}}\chi_{\mathrm{uu}}^{1,1}\chi_{\mathrm{d}}^{\frac{1}{2},-\frac{1}{2}} - \sqrt{\frac{1}{3}}\chi_{\mathrm{uu}}^{1,0}\chi_{\mathrm{d}}^{\frac{1}{2},\frac{1}{2}} \tag{3.1}$$

Die oberen Indizes geben die Quantenzahlen für Spin und z-Komponente des Spins an. χ_{uu} beschreibt bereits die Kopplung der Spinanteile der Wellenfunktionen beider u-Quarks. Aus Gleichung 3.1 lässt sich der Erwartungswert für den Spin des Protons ableiten:

$$\langle S_{\mathrm{P}} \rangle = \frac{4}{3}\langle s_{\mathrm{u}} \rangle - \frac{1}{3}\langle s_{\mathrm{d}} \rangle \tag{3.2}$$

Demnach tragen u-Quarks $4/3$ zum Gesamtspin bei und d-Quarks einen negativen Beitrag von $1/3$, so dass in der Summe der gesamte Spin von den Valenzquarks getragen wird. In diesem einfachen Modell werden dynamische Effekte unberücksichtigt gelassen. Weiterhin treten weder Bahndrehimpulse noch Spinbeiträge der Gluonen in Erscheinung. Außerdem werden Spinbeiträge der Seequarks im Nukleon, innerhalb der Heisenberg'schen Unschärferelation erlaubte Vakuumfluktuationen, vernachlässigt.

Messungen der Experimente der Europäischen Myon-Kollaboration [18] und der Spin-Myon-Kollaboration [19] am CERN, E143 am Linearbeschleuniger in Standford [20] und HERMES am Deutschen Elektronen-Synchrotron [21] haben ergeben, dass die Spinsumme der Valenzquarks weniger als die Hälfte des Gesamtspins des Nukleons ausmacht, was eine detaillierte Untersuchung der Spins und der Bahndrehimpulse aller Konstituenten des Nukleons notwendig macht.

3.3 Spinsumme

Der fehlende Spinanteil könnte zum einen durch Bahndrehimpulse $\hbar L_Q$ der Quarks beigesteuert werden oder zum anderen das Gluon trägt durch intrinsischen Spin $\hbar\,\Delta G$ oder Bahndrehimpuls $\hbar\,L_{\mathrm{G}}$ zum Gesamtspin bei. Eine weitere Möglichkeit wären negative Beiträge polarisierter Seequarks. Im Myonenprogramm versucht das COMPASS-Experiment, die Gluonpolarisation $\Delta G/G$ zu messen und folgende Spinsumme zu ergänzen, worin der Spin des Nukleons $\frac{\hbar}{2}$ und der Quarkspinanteil $\frac{\hbar}{2}\,\Delta\Sigma$ ($\Delta\Sigma = 0,30 \pm 0,04 \pm 0,09$ [21]) bereits bekannt sind:

$$\frac{\hbar}{2} = \frac{\hbar}{2}\,\Delta\Sigma + \hbar\,L_Q + \hbar\,\Delta G + \hbar\,L_{\mathrm{G}} \tag{3.3}$$

3.4 Spindichteverteilung

Bezogen auf die Polarisationsrichtung des Nukleons separieren Quarkdichteverteilungen in zwei Spinrichtungen $q^{\uparrow}(x)$ und $q^{\downarrow}(x)$. Daraus bestimmt sich die Spindichteverteilung:

$$\Delta q(x) = q^{\uparrow}(x) - q^{\downarrow}(x) \tag{3.4}$$

Der Beitrag der Quarks zum Gesamtspin kann aus der Spindichteverteilung $\Delta q(x)$ der Quarks im Nukleon bestimmt werden:

$$\Delta\Sigma = \int_0^1 \Delta q(x)\,\mathrm{d}x \tag{3.5}$$

Die hier auftretende Variable x ist die Bjorken'sche Skalenvariable (s. Abschn. 3.5). Die Spindichteverteilung enthält sowohl Anteile von Valenzquarks $\Delta q_{\mathrm{V}}(x)$ als auch geringe Beiträge von Seequarks $\Delta q_{\mathrm{S}}(x)$ (s. Abb. 3.2):

$$\Delta q(x) = \Delta q_{\mathrm{V}}(x) + \Delta q_{\mathrm{S}}(x) \tag{3.6}$$

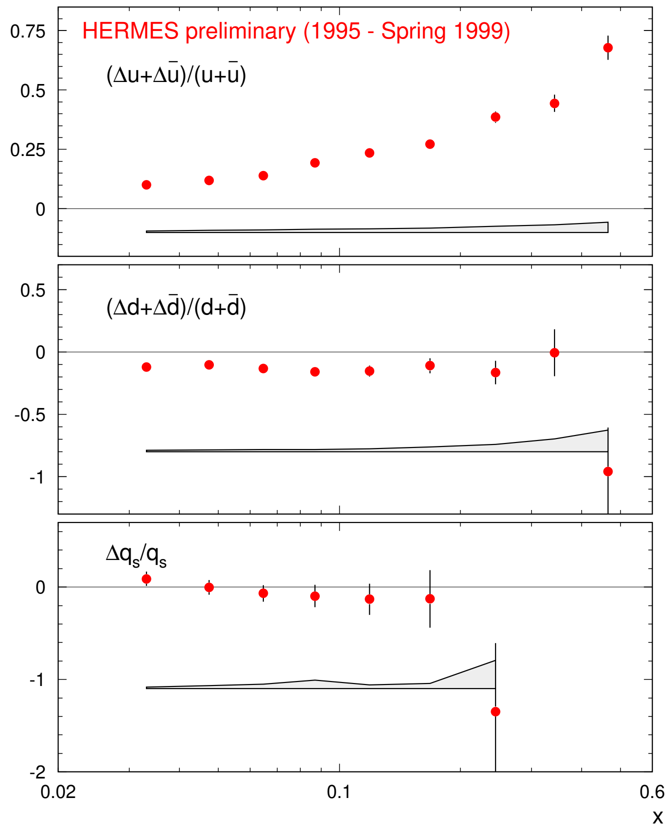


Abb. 3.2: Quarkpolarisation im Nukleon für u-Quarks $(\Delta u + \Delta\overline{u})/(u + \overline{u})$ (oben) und d-Quarks $(\Delta d + \Delta\overline{d})/(d + \overline{d})$ (Mitte) sowie Seequarks $\Delta q_{\mathrm{S}}/q_{\mathrm{S}}$ (unten) unter Verwendung aller Messdaten des HERMES-Experiments von 1995 bis 1999. Die schraffierte Fläche gibt den systematischen Fehler an. [22]

Der Spinanteil der Valenzquarks bei Protonen und Neutronen besteht aus Spinbeiträgen von u- und d-Quarks:

$$\Delta q_{\mathrm{V}}(x) = \Delta u_{\mathrm{V}}(x) + \Delta d_{\mathrm{V}}(x) \tag{3.7}$$

Der Seequarkanteil enthält Anteile von u-, d- und s-Quarks bzw. Antiquarks, da diese in der unpolarisierten Dichteverteilung vertreten sind:

$$\Delta q_{\mathrm{S}}(x) = \sum_{f=\mathrm{u,d,s}} \Delta f_{\mathrm{S}}(x) + \Delta \overline{f}_{\mathrm{S}}(x) \tag{3.8}$$

3.5 Kinematik

Bei den hier betrachteten Prozessen spielen kinematische Variablen immer wieder eine große Rolle, so dass hier einige relevante Größen zusammengetragen werden.

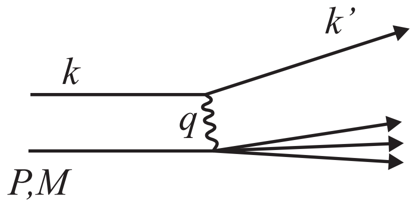


Abb. 3.3: Kinematische Variablen der Streuung eines Myons an einem Nukleon

Ein Myon mit dem Viererimpuls k wird an einem Nukleon mit dem Viererimpuls P und der Masse M gestreut. Danach besitzt es den Viererimpuls k'. Dabei tritt ein Viererimpulsverlust $q = k - k'$ auf, der von einem Austauschteilchen (Photon) auf das Nukleon übertragen wird. Die Variable ν bezeichnet den Energieverlust des Myons und ist eine invariante Größe, da das Skalarprodukt zweier Vierervektoren und die Ruhemasse invariante Größen sind:

$$\nu = \frac{q \cdot P}{M} = E - E' \tag{3.9}$$

E und E' bezeichnen Energien des Myons vor und nach der Streuung im Laborsystem. Zwischen Streuwinkel im Laborsystem ϑ, Anfangs- und Endenergien E, E' des Myons und dem Viererimpulsübertrag besteht folgender Zusammenhang:

$$Q^2 = -q^2 = 2(EE' - |\vec{k}|\,|\vec{k}'| \cos\vartheta - m_\mu^2) \tag{3.10}$$

wobei die neue invariante Größe Q^2 eingeführt wird. Die invariante Bjorken'sche Skalenvariable x kennzeichnet im Partonmodell den Impulsbruchteil bezogen auf den Gesamtimpuls des Nukleons, den das Parton hat, an dem gestreut wird:

$$x = \frac{Q^2}{2M\nu} \tag{3.11}$$

Weiterhin kann die ebenfalls invariante Größe y definiert werden:

$$y = \frac{q \cdot P}{k \cdot P} = \frac{\nu}{E} \tag{3.12}$$

Sie gibt den relativen Energieverlust des Leptons im Laborsystem an. Weitere sinnvolle Größen sind invariante Quadrate von Summen mit Viererimpulsen, wie z.B.:

$$s = (k + P)^2 = \frac{Q^2}{xy} + M^2 + m_\mu^2 \tag{3.13}$$

assoziiert mit der Schwerpunktsenergie des Gesamtsystems [23].

3.6 Photon-Gluon-Fusion

Die Messung für ΔG untersucht eine Reaktion, bei der unter allen Konstituenten des Nukleons nur das Gluon beteiligt ist. Abbildung 3.4 veranschaulicht den quantenelektrodynamischen Mechanismus einer dafür in Frage kommenden Reaktion.

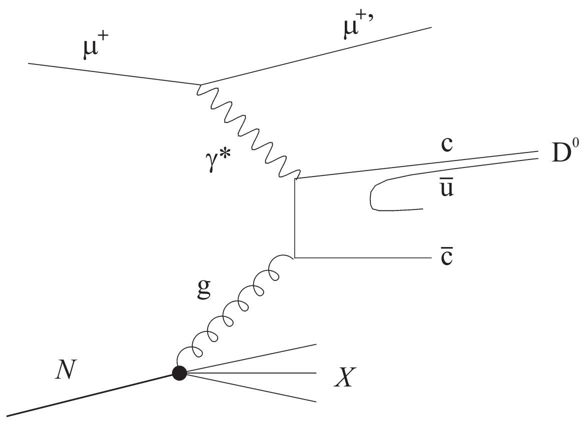


Abb. 3.4: Feynmangraph der Photon-Gluon-Fusion (PGF) mit Übergang nach Open-Charm und D^0-Fragmentation

Ein virtuelles Photon, abgestrahlt von einem Myon, streut über ein $\mathsf{c}\bar{\mathsf{c}}$-Paar aus Vakuumfluktuationen an einem Gluon. Bei diesem Vorgang entsteht ein ungebundenes $\mathsf{c}\bar{\mathsf{c}}$-Paar (Open-Charm), wobei das c-Quark in ein D^0-Meson fragmentiert. Das Nukleon und das $\bar{\mathsf{c}}$-Quark fragmentieren in X und werden nicht beobachtet. Folgende Reaktionskette beschreibt die gesamte Reaktion:

$$\mu^+ + N \to \mu^{+\prime} + X + \mathrm{D}^0(\to \mathrm{K}^-\pi^+) \tag{3.14}$$

Der dargestellte Fragmentationskanal ist natürlich nur einer von vielen Möglichkeiten. Im Mittel entstehen bei der Open-Charm-Reaktion zwei D-Mesonen. D^0-Mesonen zerfallen mit einem Verzweigungsverhältnis von $(3,83 \pm 0,09)\,\%$ in die Mesonen K^- und π^+. Der Fragmentationskanal 3.14 besitzt eine charakteristische Signatur, die relativ gut zu rekonstruieren ist.

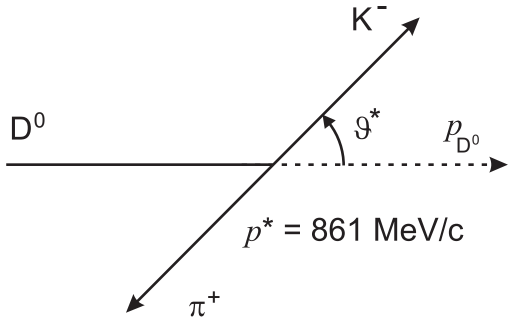


Abb. 3.5: Zerfall des D^0-Mesons im Schwerpunktssystem in die Mesonen K^- und π^+

Die Zerfallsprodukte K^- und π^+ können einen großen transversalen Impuls haben, verursacht durch großen Gesamtimpuls p^* im Schwerpunktssystem der Zerfallsprodukte (s. Abb. 3.5), so dass sie sich dadurch gut von den Hadronen aus der Fragmentation X des Restkerns abheben.

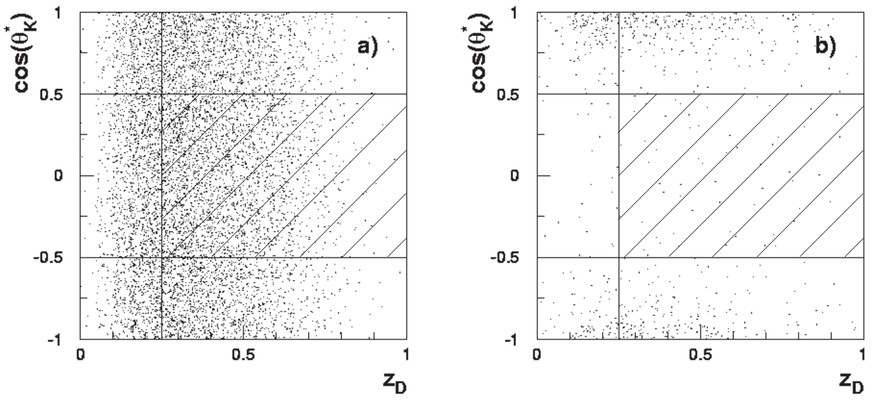


Abb. 3.6: Mit Monte-Carlo-Methode simulierte K^--Verteilung aus $D^0(\rightarrow K^-\pi^+)$-Zerfällen (a) im Vergleich zu einer K^--Verteilung aus Hintergrundereignissen (b); $z_D = E_D/\nu$ mit E_D Energie des D^0-Mesons [3]

Ein weiterer Vorteil des Fragmentationskanals nach Gleichung 3.14 sind die wenigen Endprodukte und dass sie elektrische Ladung tragen. Monte-Carlo-Simulationen demonstrieren in Abbildung 3.6 die Signatur des obigen Fragmentationskanals, wobei in $\cos\vartheta^*$ gleichverteilte K^--Mesonen aus $D^0(\rightarrow K^-\pi^+)$-Zerfällen im Vergleich zu Hintergrundereignissen aufgetragen sind. Horizontale und vertikale Schnitte grenzen einen Bereich mit besonders gutem Verhältnis von D^0-Ereignissen zu Hintergrundereignissen ein. Durch Lorentztransformation in das Laborsystem kommt es zu einer geänderten Winkelverteilung für $K^-\pi^+$ (bzw. D^0), so dass u.U. beide Teilchen im ersten Spekrometerabschnitt nachgewiesen werden können. Durch Berechnung der invarianten Masse des $K^-\pi^+$-Systems wird das D-Meson anhand seiner Masse identifiziert:

$$m_D^2 c^2 = \left(\sum_{i=K^-,\pi^+} p_i \right)^2 \tag{3.15}$$

Die erwartete Genauigkeit der Massenrekonstruktion beträgt $\Delta m_{\mathrm{D}} \approx 20\,\mathrm{MeV}$ [24]. Um die Statistik zu verbessern, können neben dem ladungskonjugierten Kanal:

$$\mu^+ + N \to \mu^{+\prime} + X + \overline{\mathrm{D}}^0(\to \mathrm{K}^+\pi^-) \tag{3.16}$$

eine Reihe anderer Fragmentationskanäle mit berücksichtigt werden, die eine größere Anzahl definierter Zerfallsprodukte haben, wie z.B.

$$\mu^+ + N \to \mu^{+\prime} + X + \mathrm{D}^{\star +}(\to \mathrm{D}^0(\to \mathrm{K}^-\pi^+) + \pi^+) \tag{3.17}$$

Dieser Fragmentationskanal ist dem Obigen Fragmentationskanal nach Gleichung 3.14 sehr ähnlich. Neben dem Nachweis der Zerfallsprodukte von D^0 ergibt sich die Schwierigkeit des Nachweises eines zusätzlichen Pions, welches niederenergetischer ist und somit schwer von den Pionen aus der Fragmentation des Restkerns zu trennen ist.

3.7 Extraktion von ΔG

Aus den Produktionsraten der Open-Charm-Reaktion für unterschiedliche Spineinstellungen zwischen den Myonen des Strahls und den polarisierten Nukleonen des Targets kann die experimentelle Asymmetrie:

$$A^{\mathrm{exp}} = \frac{\dot{N}^{\uparrow\uparrow} - \dot{N}^{\uparrow\downarrow}}{\dot{N}^{\uparrow\uparrow} + \dot{N}^{\uparrow\downarrow}} \tag{3.18}$$

bestimmt werden. Die gemessene Asymmetrie enthält eine Reihe von Faktoren, die mit berücksichtigt werden müssen, um auf die theoretisch beschreibbare Asymmetrie zu schließen, aus der der Spinbeitrag der Gluonen ΔG bestimmt werden kann. Abweichungen zwischen den Asymmetrien ergeben sich dadurch, dass der Strahl nicht zu 100 Prozent polarisiert ist ($P_\mu = 0,76$). Weiterhin ist der Polarisationsgrad der vom Myon abgestrahlten Photonen geringer als der der Myonen. Dies wird ausgedrückt durch den Depolarisationsfaktor ($D(y) = 0,33 - 0,98$), der vom relativen Energieverlust y des Myons (s. Abschn. 3.5) abhängt:

$$D(y) \approx \frac{1-(1-y)^2}{1+(1-y)^2} \tag{3.19}$$

Das Target ist aus zwei Gründen nicht vollständig polarisierbar. Prinzipiell ist nur ein bestimmter Teil des Streumaterials ^{6}LiD polarisierbar, dargestellt durch den Verdünnungsfaktor $f = 0,5$ und dieser wiederum nur teilweise: $P_t = 0,5$. Somit ergibt sich folgender Zusammenhang für die Asymmetrie der Streuung eines Photons an einem Gluon mit Übergang nach Open-Charm zu der experimentell gemessenen:

$$A^{\gamma \mathrm{g} \to \mathrm{c}\overline{\mathrm{c}}} = \frac{A^{\mathrm{exp}}}{P_\mu P_t f D(y)} \tag{3.20}$$

Aus theoretischen Überlegungen ist der differenzielle Wirkungsquerschnitt in Abhängigkeit des Quadrates der Schwerpunktsenergie $\hat{s}$ von Photon und Gluon für diese Reaktion bekannt [25] und in erster Ordnung nachfolgend angegeben (s. Abb. 3.7) [26]:

$$\Delta\sigma(\hat{s}) = \frac{4}{9}\frac{2\pi\alpha_{\mathrm{e}}\alpha_{\mathrm{s}}(\hat{s})}{\hat{s}}\left[3\beta - \ln\frac{1+\beta}{1-\beta}\right], \tag{3.21}$$

$$\sigma(\hat{s}) = \frac{4}{9}\frac{2\pi\alpha_{\mathrm{e}}\alpha_{\mathrm{s}}(\hat{s})}{\hat{s}}\left[-\beta(2-\beta^2) + \frac{1}{2}(3-\beta^4)\ln\frac{1+\beta}{1-\beta}\right], \tag{3.22}$$

wobei $\beta = \sqrt{1 - 4m_{\mathrm{c}}^2/\hat{s}}$ die Geschwindigkeit des Schwerpunktes des Charm-Quarks und des Charm-Antiquarks angibt und α_{e} (α_{s}) die Kopplungskonstante für die elektromagnetische (starke) Wechselwirkung darstellt. Die Integration der energieabhängigen Wirkungsquerschnitte mit der energieabhängigen Gluonspindichte über die Schwerpunktsenergie $\hat{s}$ liefert wiederum die Asymmetrie aus der sich die Gluonpolarisation bestimmen lässt:

$$A^{\gamma\mathrm{g}\to\mathrm{c}\bar{\mathrm{c}}} = \frac{\int_{4m_{\mathrm{c}}^2}^{2M\nu} \Delta\sigma(\hat{s})\Delta G(\hat{s}, x_{\mathrm{g}})\mathrm{d}\hat{s}}{\int_{4m_{\mathrm{c}}^2}^{2M\nu} \sigma(\hat{s})G(\hat{s}, x_{\mathrm{g}})\mathrm{d}\hat{s}} \tag{3.23}$$

Die untere Grenze des Integrationsbereiches ergibt sich aus der Produktionsschwelle für ein Charm-Quark-Charm-Antiquark-Paar. Die obere Grenze wird bestimmt durch die maximale Energie, die das Myon und das Nukleon auf das System aus Photon und Gluon übertragen kann, charakterisiert durch die Masse des Nukleons M und Energie des virtuellen Photons ν.

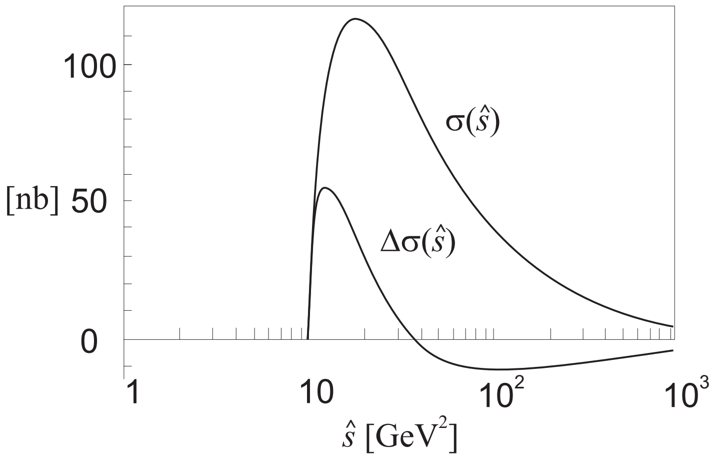


Abb. 3.7: Polarisierter $\Delta\sigma$ und unpolarisierter Wirkunsquerschnitt σ für eine Open-Charm-Reaktion ($\gamma\mathrm{g} \to \mathrm{c}\bar{\mathrm{c}}$) in Abhängigkeit der Schwerpunktsenergie $\hat{s}$

Der Fehler der Messung kann aus der quadratischen Fehlerfortpflanzung der Fehler für die Zählraten unter Berücksichtigung von Untergrundereignissen gewonnen werden. Um die Messdauer für einen angestrebten Fehler zu bestimmen, ist es notwendig, vor der Messung die Ereignisraten abzuschätzen, d.h. die Luminosität ($\mathcal{L} = 43\,\mathrm{pb}^{-1}\mathrm{d}^{-1}$) und den Wirkungsquerschnitt für die Open-Charm-Reaktion zu kennen. Der differenzielle Wirkunsquerschnitt faktorisiert in Photonenfluss und Wirkungsquerschnitt für eine Streuung virtueller Photonen an Nukleonen [27]:

$$\frac{\mathrm{d}\sigma^{\mu N \to c\bar{c}X}}{\mathrm{d}Q^2 \mathrm{d}\nu} = \Gamma(E; Q^2, \nu)\sigma^{\gamma^* N \to c\bar{c}X}(Q^2, \nu) \tag{3.24}$$

Der Photonenfluss wird bestimmt durch die Kopplungskonstante der elektromagnetischen Wechselwirkung sowie durch kinematische Variablen:

$$\Gamma(E; Q^2, \nu) = \frac{\alpha_{\mathrm{e}}}{2\pi} \frac{2(1-y) + y^2 + Q^2/2E^2}{Q^2(Q^2 + \nu^2)^{1/2}} \tag{3.25}$$

Folgende Parametrisierung ($M \approx 4\,\mathrm{GeV}$) erschließt einen Zusammenhang zu bereits gemessenen Größen:

$$\sigma^{\gamma^* N \to c\bar{c}X}(Q^2, \nu) = \frac{\sigma^{\gamma N \to c\bar{c}X}(\nu)}{(1 + Q^2/M^2)^2} \tag{3.26}$$

Mit diesem Formalismus und konkreten Parametern ergibt sich ein statistischer Fehler der Gluonpolarisation aus der Messung der Open-Charm-Reaktion. Er beträgt bei einer Messzeit von 2,5 Jahren:

$$\delta \frac{\Delta G}{G} \approx 0,11$$

3.8 High-p_{T}

Die obige Messung ist auf einen Wert der Verteilung $\Delta G(x_{\mathrm{g}})$ für ein mittleres $\langle x_{\mathrm{g}} \rangle \approx 0,15$ ausgerichtet. Bei der Fragmentation aus der Open-Charm-Reaktion ist x_{g} nicht bestimmbar, denn nur die Fragmentation des Charm-Quarks oder des Charm-Anti-Quarks wird detektiert. Somit fehlt immer ein Partner zur vollständigen kinematischen Analyse, und nur ein mittlerer Wert für x_{g} ist bekannt. Für x_{g} gilt:

$$x_{\mathrm{g}} \approx \frac{\hat{s}}{2M\nu} \tag{3.27}$$

Somit unterscheidet sich die Variable von der Bjorken'schen Skalenvariable, hat aber die gleiche Interpretation. Einige Modellvorhersagen sind zusammen mit einem ersten Datenpunkt vom HERMES-Experiment in Abbildung 3.8 dargestellt. Der von der HERMES-Kollaboration ermittelte Wert ist allerdings umstritten, da bei deren Messung die harte Skala der tiefinelastischen Streuung wegen der geringen Strahlenenergie des HERA-Elektronenstrahls nicht gegeben ist.

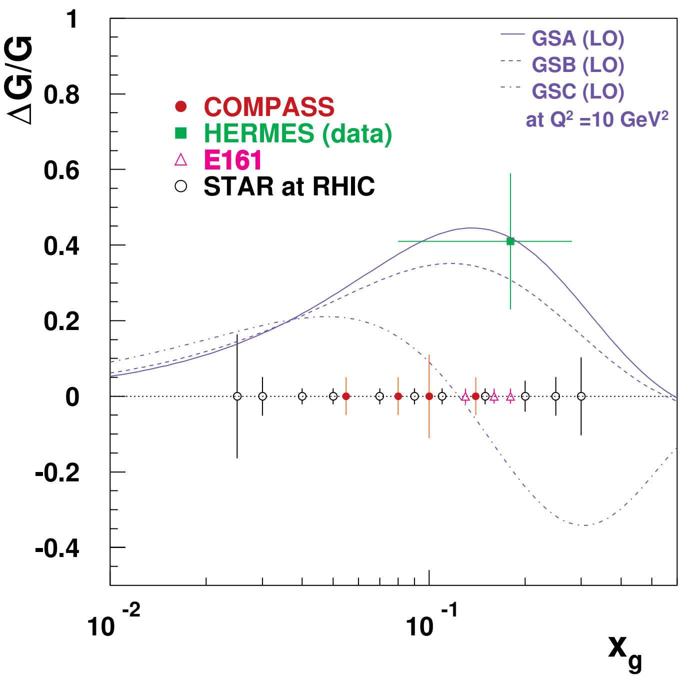


Abb. 3.8: Verschiedene Modellrechnungen für $\Delta G/G$ [28] mit einem Messpunkt von HERMES und weiteren erwarteten Messpunkten anderer Experimente

Um $\Delta G(x_\mathrm{g})$ für mehrere Punkte im Intervall $x_\mathrm{g} = 0,04 - 0,20$ messen zu können, untersucht man noch weitere Fragmentationen der Photon-Gluon-Fusion [29]. Bei der Open-Strange-Reaktion materialisiert sich die freiwerdende Reaktionsenergie in zwei Kaonen oder zwei Jets. Die letztere Variante ist weniger wahrscheinlich, da der Energieübertrag für die Ausbildung von Jets meistens zu gering ist. Wenn keine Jets erzeugt werden, besteht die Signatur aus zwei geladenen Kaonen, die sich in ihrem Schwerpunktssystem unter einem Winkel von 180° entfernen. Da beide Kaonen große longitudinale Impulse besitzen, können beide Teilchen mit dem Detektor erfasst werden, aus deren Kinematiken x_g bestimmt werden kann. Hohe transversale Impulse (Engl. high-p_T) unterscheiden zwischen Kaonen aus der Photon-Gluon-Fusion und denen aus der Fragmentation von Seequarks aus dem Restkern. Neben Open-Strange-Reaktionen werden nach dem selben Prinzip Reaktionen untersucht, bei denen durch Photon-Gluon-Fusionen größtenteils Pionen aus $\mathsf{u}\bar{\mathsf{u}}$- oder $\mathsf{d}\bar{\mathsf{d}}$-Paaren entstehen. Mit der high-p_T-Messmethode erwartet man nach Ablauf einer Messzeit von einem Jahr einen statistischen Fehler für die Gluonpolarisation von:

$$\delta \frac{\Delta G}{G} \approx 0,05$$

wobei der systematische Fehler noch wenig untersucht ist.

Kapitel 4

Vom COMPASS- zum eigenständigen Datennahmesystem

4.1 Gesamtkonzept

Die elektronischen Daten aller Detektorkomponenten des COMPASS-Experiments werden digitalisiert, sortiert, gefiltert in Paketen zusammengefasst zu einem Speichermedium transportiert, wo sie gesichert werden (s. Abb. 4.1). Im Wesentlichen bestehen zwei Arten der Digitalisierung. Zum einen wird die Amplitude von Detektorsignalen gemessen und zum anderen der Zeitpunkt. Die Daten werden größtenteils bereits am Detektor digitalisiert und durch Multiplexer auf wenigen Übertragungskanälen mit hohen Raten zu Auslesemodulen geleitet. Dort werden sie zusammengefasst und evtl. weiter kanalreduzierend übertragen.

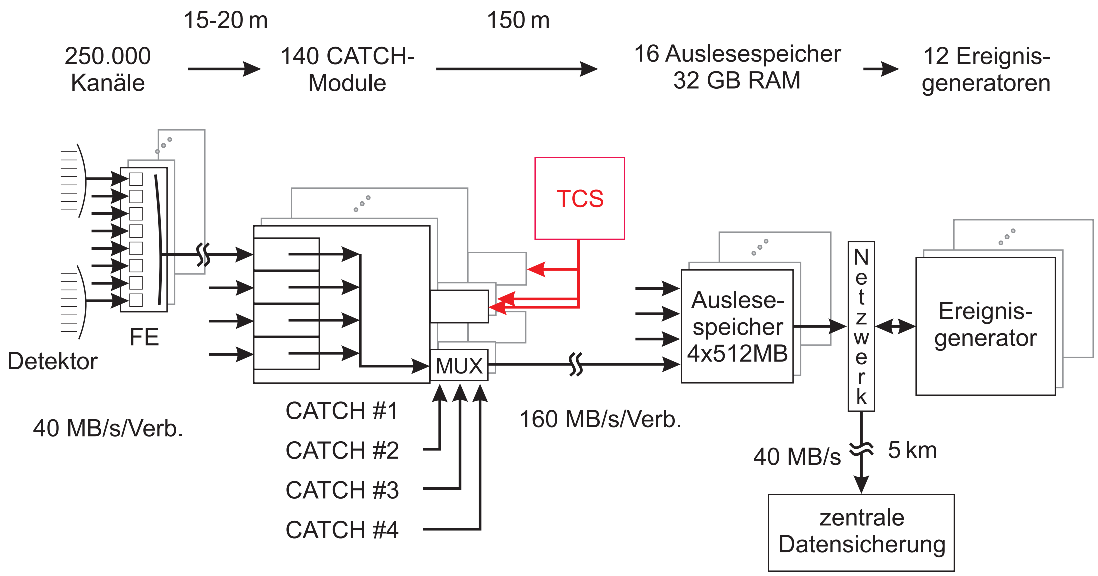


Abb. 4.1: Datennahmesystem des COMPASS-Experiments (schematisch)

Das Auslesesystem ist grundsätzlich in zwei Teile einzuteilen. Das Triggersystem liefert Triggerdaten zum Detektor hin, und das Auslesesystem transportiert Daten vom Detektor ab. Hierfür muss erst der Auslösepuls aus den Detektorsignalen generiert werden bevor er zur Ausleseelektronik transportiert werden kann. Der dabei entstehende zeitliche Verzug wird durch Zwischenspeicherung der Daten am Ort der Digitalisierung kompensiert. Es werden demnach nur die Daten weitergeleitet, die mit der Zeitinformation eines eingehenden Auslösepulses korreliert sind (s. Abb. 4.2).

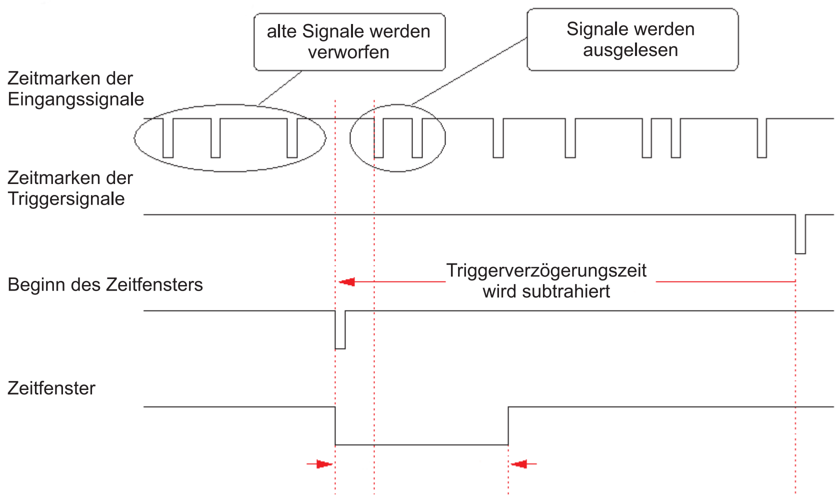


Abb. 4.2: Prinzip der Kompensation der Triggerlaufzeit im $\mathcal{F}1$-Chip (vgl. Abschn. 4.3, aus [30])

Da die physikalischen Effekte selten sind, die mit dem COMPASS-Spektrometer beobachtet werden sollen, ist eine hohe Datenrate und geringe Totzeiten, Zeiten in denen der Detektor nicht auslesen kann, erforderlich, um akzeptable statistische Fehler für eine Messung zu erreichen. Bei Triggerraten von bis zu 50 kHz und bei Datenmengen von 30 kByte/Trigger können einige hundert Terabyte Daten pro Jahr aufgezeichnet werden.

Hier entstand die Idee meiner Arbeit – der Aufbau eines eigenständigen kompakten Datennahmesystems für Test- und Laborzwecke. Auf Grund der Skalierbarkeit und des modularen Aufbaus kann die bereits entwickelte leistungsfähige Elektronik mit einer Reihe von Modulen ergänzt werden. Damit wird es möglich, die Ausleseelektronik unabhängig vom Experiment, im Kleinen z.B. im Labor oder ausschließlich auf eine Detektorkomponente des COMPASS-Experiments angewendet, zu nutzen. Dazu ist es notwendig, Datenwege zu verkürzen und das komplexe Triggersystem durch ein einfacheres System zu ersetzen. Dies wird durch zwei zusätzliche Module erzielt – Triggerlogikmodul und Triggerverteiler. An bestehenden Modulen wird das CATCH-Modul und deren Adapterplatinen (CMCs), Triggerhodoskope und Front-End-Elektronik (FE) genutzt.

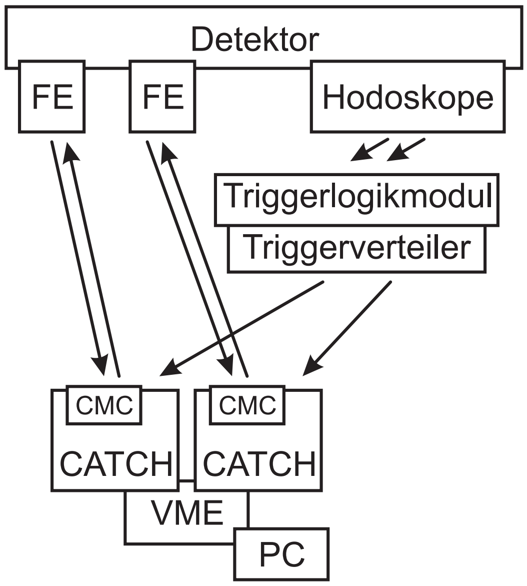


Abb. 4.3: Gesamtkonzept des eigenständigen kompakten Datennahmesystems

Die Funktionsweise des eignenständigen Datennahmesystems kann wie folgt zusammengefasst werden (s. Abb. 4.3). Aus den Daten von Triggerhodoskopen wird mit dem Triggerlogikmodul ein Triggerpuls generiert. Dieser wird an einen Triggerverteiler gegeben, damit er vervielfacht an CATCH-Module gegeben werden kann. Diese geben die Information an die Front-End-Elektronik weiter, woraufhin die Auslese eines Ereignisses gestartet wird. Mittels verschiedener Typen von CMC-Platinen, kann das CATCH-Modul adaptiert werden, so dass es Daten verschiedenartiger Front-End-Elektronik auslesen kann. Die CATCH-Module sind über einen VME-Bus an eine CPU angeschlossen, welche sich im Netzwerk mit anderen Rechnern befindet. Über diese Schnittstelle erfolgen Steuerung und Wartung der Ausleseelektronik, sowie die Datenaufnahme zur Sicherung auf einem Speichermedium, wie z.B. Festplatte.

4.2 CATCH-Modul

Das CATCH-Modul bildet das Herzstück der Auslesekette. Es ist ein 9U-VME-Modul (s. Abb. 4.4). Es wurde speziell für das COMPASS-Experiment entwickelt. Etwa 140 Stück dienen dort der Auslese von ca. 250.000 Kanälen der Front-End-Elektronik. Die ausgelesenen Daten werden zwischengespeichert, zusammengefasst und auf ein einheitliches Datenformat gebracht [31]. Es werden erste Untermengen des Ereignisses (Mini-Ereignis) gebildet und evtl. Übertragungsfehler markiert. Ein Ereignis enthält alle Daten zu einem möglichen physikalischen Ereignis. Mini-Ereignisse können über einen VME-Bus ausgelesen werden. Im COMPASS-Experiment wird stattdessen ein spezielles Ausleseprotokoll (S-Link) verwendet, welches für das Laborauslesesystem umgangen wird, um Datenwege zu verkürzen und die Handhabbarkeit zu erhöhen. Weiterhin wird mit dem CATCH-Modul der Triggerpuls, der Systemtakt und die Zeitsynchronisation an die Front-End-Elektronik weitergegeben. Desweiteren kann mit dem Modul die Front-End-Elektronik mit einer Datenrate von 10 MBaud initialisiert werden. Dazu wird nach dem Hochfahren der Betriebsspannung die Front-End-Elektronik mit den nötigen Parametern, wie z.B. Diskriminatorschwellen, versorgt. Die maximalen Datenraten auf dem VME-Bus sind vom Typ der VME-CPU abhängig und betragen ca. 15 MByte/s [32]. Die Taktrate liegt systemweit bei 40 MHz im Gegensatz zum Systemtakt von 38,88 MHz der COMPASS-Datennahme.

Bedienung und Überwachung des CATCH-Moduls erfolgen entweder per Kommandoszeilenschnittstelle [33] oder mit einer grafischen Benutzeroberfläche "Catch-o-Matic" [34].

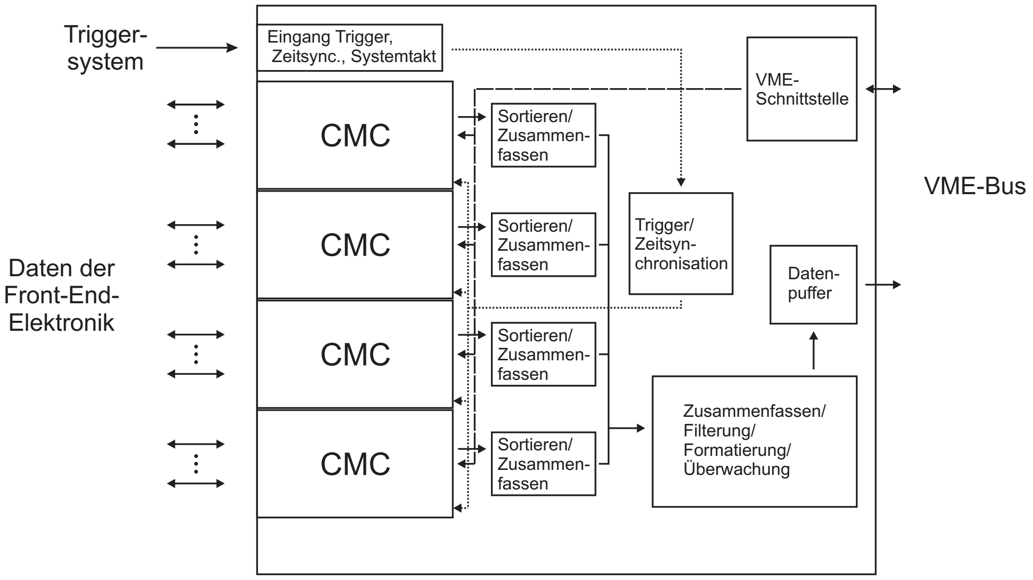


Abb. 4.4: Schematischer Aufbau des CATCH-Moduls (ohne S-Link)

4.3 TDC-CMC

Es gibt drei verschiedene Typen von CMC-Karten, einer davon ist die TDC-CMC. Dieser Kartentyp nimmt Digitalisierungen von Zeitinformationen vor. Auf der CMC-Platine befinden sich vier Exemplare eines speziell dafür entwickelten TDC-ICs ($\mathcal{F}$1-ASIC). Der IC zeichnet sich durch niedrigen Stromverbrauch und Verarbeitung höchster Trigger- und Eingangssignalraten aus. Der Chip hat drei verschiedene Modi, nach dem sich die Eigenschaften der Digitalisierung richten, wobei sich zwei sinnvoll auf der CMC einsetzen lassen. Im Normalmodus hat eine Karte 32 Kanäle bei einer Zeitauflösung von 130 ps [30]. Im hochauflösenden Modus beträgt die Auflösung 65 ps, und die Zahl der Kanäle halbiert sich. Damit ergibt sich eine maximale Kanalzahl pro CATCH-Modul von 128 Kanälen im Normalmodus (s. Tab. 4.1). Alle Kanäle verarbeiten LVDS- und LVPECL-Pegel, welche durch Ausgangsstufen der Diskriminatoren der Front-End-Elektronik bestimmt werden.

4.4 Zähler-CMC

Dieser Kartentyp kann auf 32 Kanälen Eingangspulse im LVDS- bzw. LVPECL-Standard zählen. Die maximale Zählrate beträgt pro Kanal 250 MHz [35]. Die Verarbeitung der Signale erfolgt in einem zentralen Chip, der programmierbar ist (FPGA). Bei jedem eintreffenden Auslösepuls werden 32 Zählstände in einen Zwischenspeicher (FIFO) kopiert, der vom CATCH-Modul überwacht wird. Die Datennahme der Zählstände erfolgt totzeitfrei, d.h. während des Auslesevorgangs wird weiter gezählt – die Zähler werden nicht angehalten. Neben den Zählständen kann mit dem Auslösepuls der aktuelle Pegel der Eingangssignale abgefragt werden. Damit kann die Zähler-CMC auch als Eingangsregister verwendet werden. Des Weiteren kann mit einem Signal der Zählmechanismus, z.B. während der Totzeit des Detektors, gestoppt werden. Die Übertragung der Eingangssignale erfolgt bei TDC-CMCs und Zähler-CMCs mit 68-poligen Flachbandkabeln von maximal 15 m Länge.

Tab. 4.1: Anzahl der verarbeiteten Kanäle für ein CATCH-Modul, vollbestückt mit TDC-CMCs bzw. Zähler-CMCs

	TDC-CMC im Normalmodus	TDC-CMC im hochauflösenden Modus	Zähler-CMC
Kanäle pro CMC	32	16	32
CMCs pro CATCH-Modul	4	4	4
Kanäle pro CATCH-Modul	128	64	128

4.5 HOTLink-CMC

Die HOTLink-CMC dient der Übertragung und Formatierung von Daten der Front-End-Elektronik. Sie hat ihren Namen von einem Übertragungsprotokoll [36] für hohe Datenraten bekommen, das für die CMC eingesetzt wird. Die CMC hat vier Funktionen. Zum einen überträgt sie den Triggerpuls (Abb. 4.5 (a)), sowie den Systemtakt (Abb. 4.5 (b)), und zum anderen stellt sie einen Datenkanal zur Front-End-Elektronik her, um die Initialisierung vorzunehmen (Abb. 4.5 (c)). Auf einem weiteren Kanal werden Daten der Front-End-Elektronik mit dem HOTLink-IC mit maximaler Datenrate von 40 MByte/s [37] empfangen und aufbereitet (Abb. 4.5 (d)). Alle Funktionen liegen in vierfacher Ausführung vor. Die Aufbereitung der Daten erfolgt durch einen speziellen programmierbaren IC (CPLD, s. Abb. 4.6), welcher die erhaltenen Daten formatiert. Aus drei oder vier Acht-Bit-Datenworten des HOTLink-ICs werden 32-Bit-Datenworte generiert und Übertragungsfehler markiert. Die Anbindung an die Front-End-Elektronik erfolgt über doppelt geschirmte 600 MHz Netzwerkkabel, die eine maximale Länge von 20 m haben dürfen.

Es gibt von diesem Kartentyp eine ähnliche Form, wobei statt herkömmlicher

Netzwerkkabel aus Kupfer Glasfaserkabel zum Einsatz kommen. Dies ist sinnvoll, um eine vollständige galvanische Trennung von der Front-End-Elektronik zu erzielen. Leider stehen nur zwei Leitungen zur Verfügung, so dass es nur die Funktionen Triggerpulsübertragung und Datenerfassung gibt. Diese Variante der HOTLink-CMC wird als HOTFibre-CMC bezeichnet.

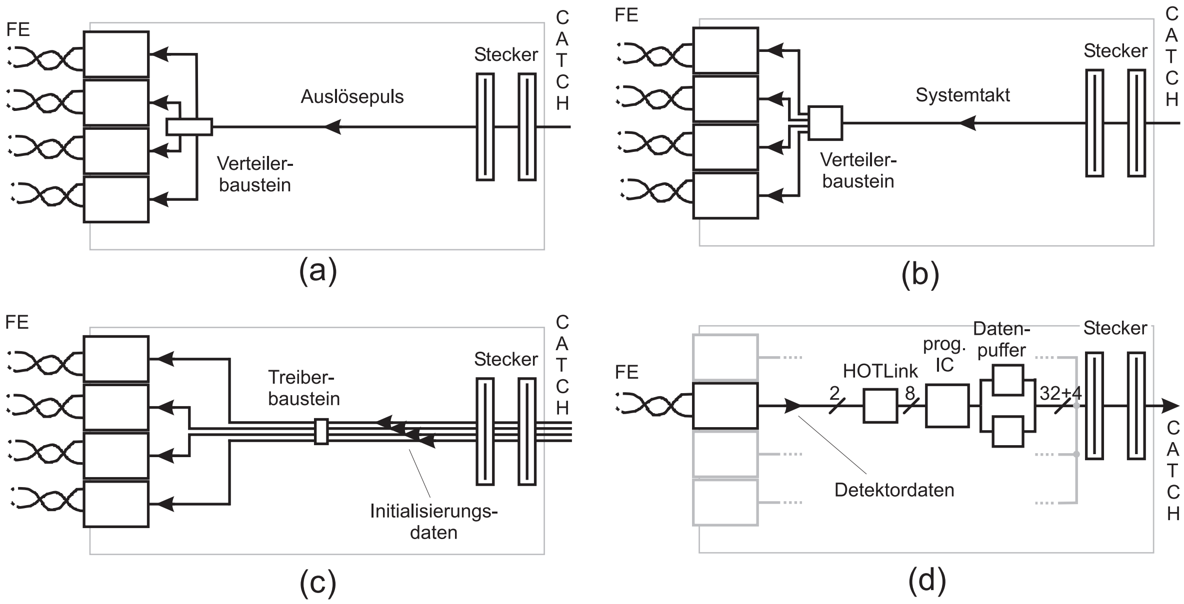


Abb. 4.5: Elektronische Konzepte für vier Funktionen der HOTLink-CMC: (a) Weitergabe und Vervielfachung von Auslösepulsen an die Front-End-Elektronik, (b) Weitergabe und Vervielfachung des Systemtaktes (c), Weitergabe von Initialisierungsdaten an die Front-End-Elektronik und (d) Aufnahme und Dekodierung der Detektordaten

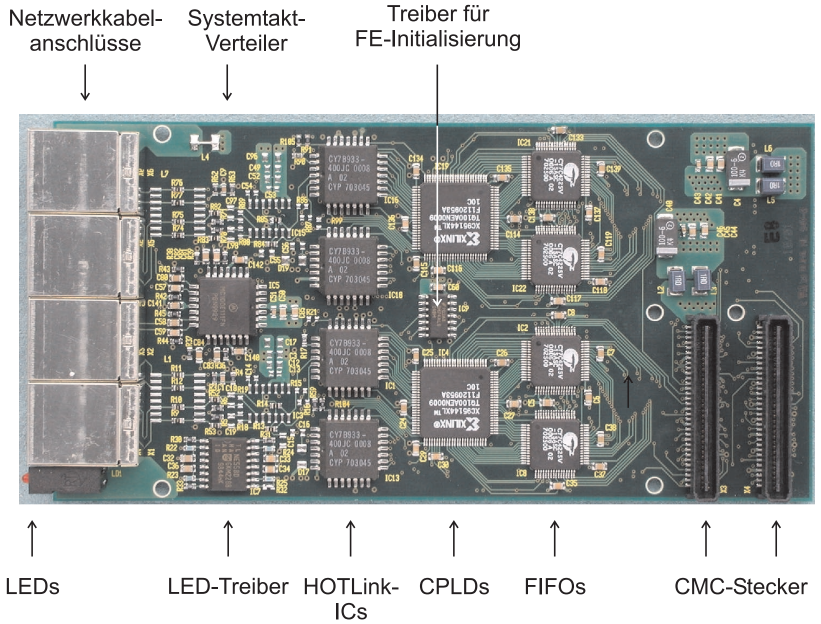


Abb. 4.6: Oberseite der HOTLink-CMC (Rückseite ebenfalls bestückt)

4.6 Front-End-Elektronik

Es gibt mehrere Varianten von Front-End-Elektronik – im Prinzip hat jeder Detektortyp sein eigenes System. In allen Fällen enthält sie die Aufbereitung, hauptsächlich Verstärkung und Pulsformung der Ladungspulse. Dies ist in jedem Fall notwendig, bevor sie dann auf TDC-Chips, Zähler oder ADC-Chips gehen. Bei einigen Detektoren befinden sich zusätzlich TDC- bzw. ADC-ICs am Detektor. Dann fungiert die HOTLink-CMC als Gegenstück innerhalb des eigenständigen Datennahmesystems. Bei dem Einsatz von ADC-Chips wird die Amplitude des Signals digitalisiert, um daraus später die relevanten Informationen zu entnehmen. Durch den detektornahen Einsatz kommt es in der Datenauslesekette frühzeitig zum Multiplexen, so dass auf wenigen Leitungen viele Detektorkanäle übertragen werden. Bei einer großen Anzahl von Kanälen spart das enorme Kosten für Leitungen, wie es z.B. beim COMPASS-Experiment der Fall ist.

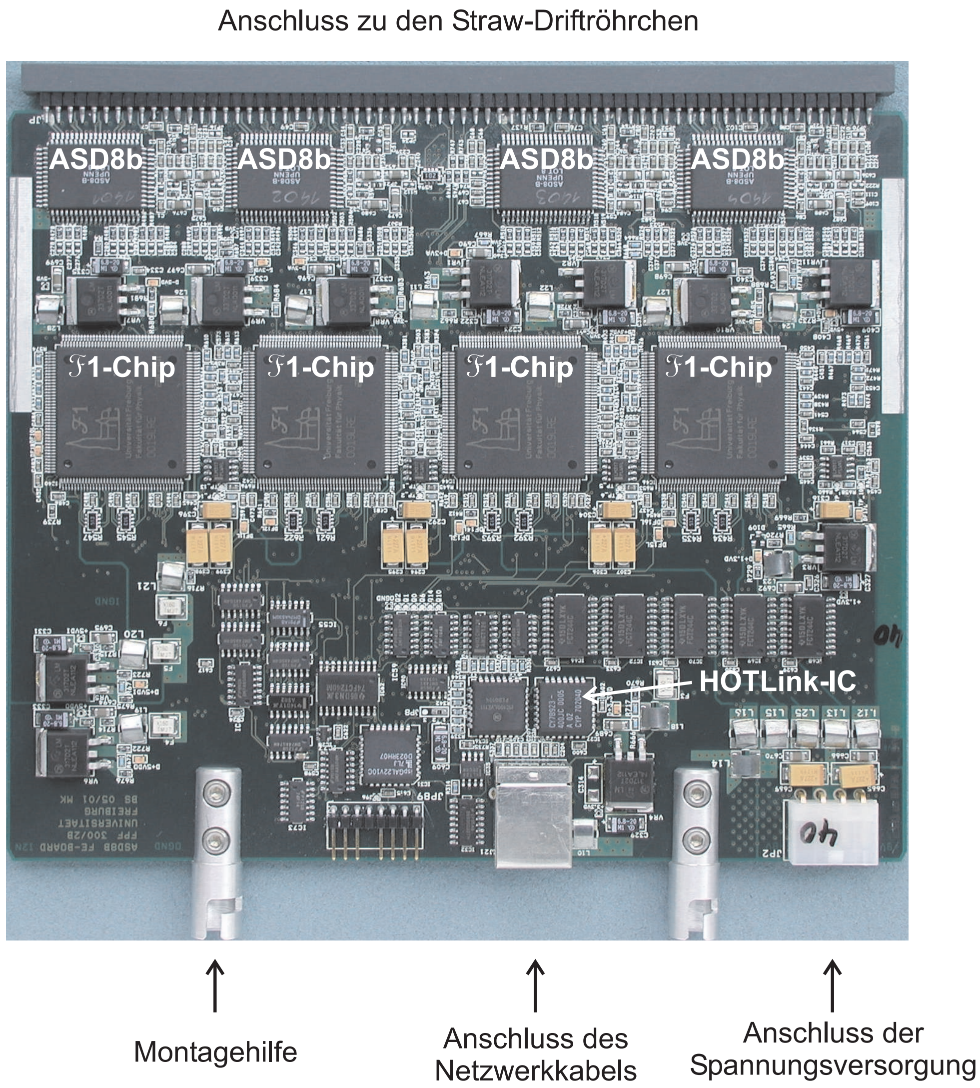


Abb. 4.7: Front-End-Platine mit $\mathcal{F}$1-ICs für Straw-Driftröhrchen des COMPASS-Experiments (Rückseite ebenfalls bestückt)

In Abbildung 4.7 ist eine Front-End-Platine gezeigt, wie sie für Straw-Driftröhrchen beim COMPASS-Experiment eingesetzt wird. Auf den Front-End-Platinen befinden sich acht $\mathcal{F}1$-ICs, die jeweils acht Kanäle mit einer Auflösung von 130 ps verarbeiten, die die Daten an einen HOTLink-IC geben.

Die Eingangssignale werden durch acht Vorverstärker (ASD8b-IC) und Diskriminatoren, die jeweils acht Kanäle verarbeiten, auf die gewünschte Form gebracht, damit sie vom $\mathcal{F}1$-Chip verarbeitet werden können. Die Betriebsspannungen für den analogen Teil mit Vorverstärker und Diskriminator sind vom digitalen Teil mit $\mathcal{F}1$- und HOTLink-IC getrennt, um eine maximale Rauschunterdrückung zu gewährleisten. Ein CATCH-Modul adaptiert mit vier HOTLink-CMCs liest $8 \times 8 \times 4 \times 4 = 1024$ Kanäle aus (s. Tab. 4.2).

Tab. 4.2: Anzahl der Detektorkanäle pro CATCH-Modul für verschiedene Detektorkomponenten beim COMPASS-Experiment [38, 39, 40]

	MWPC	Straw-Driftröhrchen	hadronisches Kalorimeter	RICH
Detektorkanäle pro $\mathcal{F}1$- bzw.	32	8		
pro ADC-IC			1	16
$\mathcal{F}1$-ICs bzw.	6	8		
ADC-ICs pro HOTLink-IC			64	27
HOTLink-ICs pro HOTLink- bzw.	4	4	4	
pro HOTFibre-CMC				4
CMCs pro CATCH-Modul	4	4	4	4
Kanäle pro CATCH-Modul	3072	1024	1024	6912

Kapitel 5

Signalübertragung

5.1 Einführung

Die Übertragung von Signalen auf Leitungen ist bei hohen Frequenzen der Physik des Wellenleiters unterworfen. Die dabei auftretenden Effekte können nicht ignoriert werden, wenn Anstiegs- und Abfallzeiten der Signale mit Signallaufzeiten in der Leitung vergleichbar sind. Durch Superposition der Signale mit Reflexionen an Leitungsenden kommt es u.U. zu einer negativen Beeinflussung der Signale. Die Impedanz solch eines Wellenleiters liegt typischerweise bei 50-100 Ω. Eine Terminierung simuliert einen Wellenleiter unendlicher Länge und vermeidet somit Enden, an denen es Reflexionen geben kann. Es gibt eine Reihe verschiedener Leitungsterminierungen, welche abhängig vom Signalstandard und von den Anforderungen sind. Darüberhinaus können Terminierungen noch andere zusätzliche Aufgaben übernehmen, wie z.B. das Schließen des Emitterkreises der Ausgangsstufe beim ECL-Standard.

5.2 Signalstandards

Es gibt verschiedene Signalstandards, die sich in Stromverbrauch, Handhabbarkeit, Schaltgeschwindigkeit, Betriebsspannung und Definition der Signalpegel unterscheiden (s. Abb. 5.1 und Anh. A.4). Der bekannteste Standard ist TTL, welcher in der Digitalelektronik weit verbreitet ist. Dieser Standard definiert Spannungsbereiche für zwei Zustände, einen Übergangsbereich, sowie die zulässige Betriebsspannung. Die Definition ist leicht unterschiedlich für Eingänge bzw. Ausgänge eines TTL-ICs und ergibt sich aus dem internen Schaltprinzip der Gatter, welche dem TTL-Standard zu Grunde liegen. Das Grundgatter der TTL-Technik ist das "Nand", welches durch Multiemittertransistoren aufgebaut wird, die bis in die Sättigung ausgesteuert werden [41]. Dadurch wird der TTL-Standard in seiner maximalen Schaltgeschwindigkeit (ca. 100 MHz) begrenzt.

Um die Grenze zu überschreiten, nutzt man den ECL-Standard für Schaltfrequenzen bis etwa 1 GHz, basierend auf einem anderen internen Schaltprinzip, bei dem die Transistoren nicht bis in die Sättigung ausgesteuert werden. Dadurch ist der

Stromverbrauch höher, als z.B. bei der TTL-Reihe. Das Grundprinzip ist der emittergekoppelte Differenzverstärker (bipolarer Stromschalter, s. Abb. 5.3). Die Handhabbarkeit ist etwas aufwendiger, bedingt durch offene Emitterkreise der Ausgangsstufe, die jedoch die Leitungsterminierungen unterstützen [42]. Die ECL-Baureihe ist sehr flexibel in der Definition der Betriebsspannung; dadurch ergibt sich eine weitere Klassifizierung in die Standards PECL, NECL oder LVPECL nach Werten für die zulässige Betriebspannung.

Neuere Entwicklungen tendieren zu kleineren Betriebsspannungen, um den Stromverbrauch zu senken. Der adäquate Standard zu TTL ist LVTTL bzw. LVPECL für PECL.

Speziell für die Übertragung von differenziellen Signalen hoher Frequenzen über lange Strecken auf zwei Leitungen bei kleinem Stromverbrauch wurde der LVDS-Standard entwickelt [43].

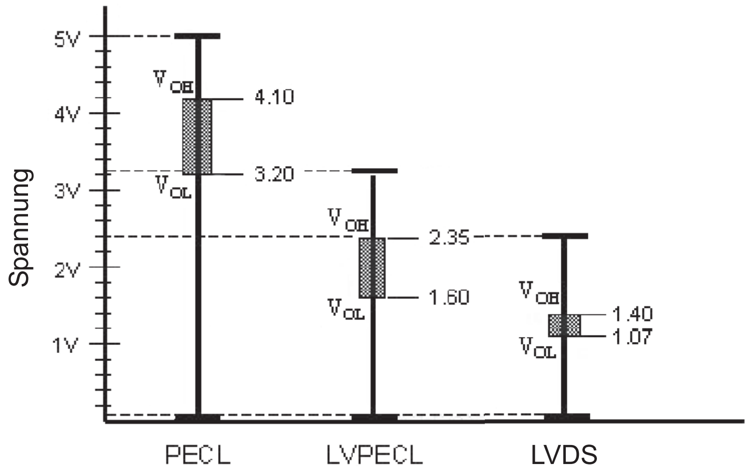


Abb. 5.1: Vergleich der Signalpegel für verschiedene differenzielle Signalstandards (aus [43])

5.3 Differenzielle Signale

Viele Vorteile ergeben sich durch den Einsatz differenzieller Signale. Das Signal wird sowohl direkt als auch invertiert auf zwei Leitungen übertragen, dadurch wird die elektromagnetische Abstrahlung reduziert (s. Abb. 5.2). Die Magnetfelder beider Leiter sind entgegengesetzt ausgerichtet, so dass sie sich nahezu auslöschen. Ein Restfeld bleibt auf Grund des endlichen Abstandes zwischen den Leitern.

Beide Signale werden als Signaldifferenz vom Empfänger interpretiert, dadurch wird das Signal unempfindlich auf Störsignale, die auf beiden Leitungen synchron einkoppeln. Bei Differenzsignalen ist durch den Übergang zwischen positiver und negativer Signaldifferenz der Schaltpunkt genau definiert. Dadurch werden dynamische Signale mit kurzen Anstiegs- und Abfallzeiten gewährleistet. Die elektronische Realisierung erfolgt durch Differenzverstärker. Der dadurch erhöhte elektronische Aufwand stört nicht, da diese als fertige Bausteine z.B. innerhalb der ECL-Baureihe vorliegen. Beschaltungen von differenziellen Signalen erfolgen immer möglichst symmetrisch, um Phasenverschiebungen zwischen dynamischen synchronen Signalen zu vermeiden und keine zusätzlichen Differenzsignale zu erzeugen, auf die ein Empfänger besonders empfindlich ist.

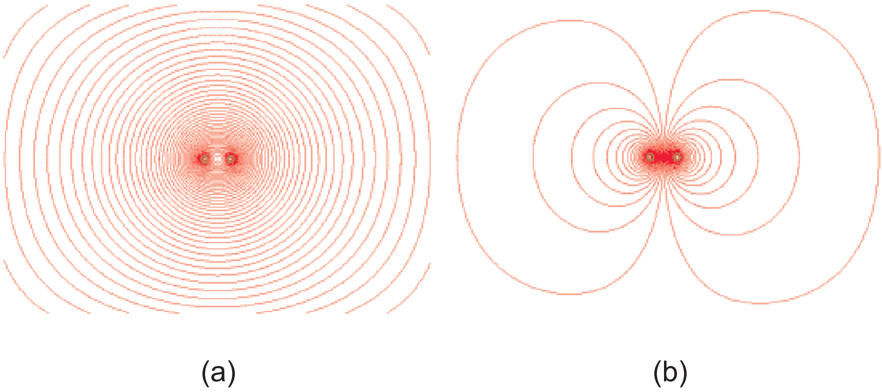


Abb. 5.2: Äquipotentiallinien des magnetischen Feldes für (a) symmetrische und (b) asymmetrische Stromleitung zweier Leiter; in (a) addieren sich die Felder und in (b) löschen sie sich nahezu aus, ein Restfeld bleibt auf Grund des endlichen Abstands zwischen den Leitern (Simulation aus [44])

Single-Ended

Bei einfachen Anforderungen werden digitale Bausteine, die für differenzielle Signale vorgesehen sind, mit nur einer Leitung verbunden (Single-Ended-Modus). Der Eingang für das invertierte Signal wird mit einer Spannung fixiert, so dass weiterhin definierte Signaldifferenzen entstehen. Dabei gehen natürlich die Vorzüge für differenzielle Signale verloren.

5.4 Arbeitswiderstand bei ECL

Im einfachsten Fall wird ein Signal (z.B. PECL) im Single-Ended-Modus ohne Leitungsterminierung übertragen, wenn das Signal kurze Wege zurücklegt oder die dynamischen Anforderungen an die Signalqualität nicht besonders hoch sind. Trotzdem ist innerhalb der ECL-Familie die externe Beschaltung der ICs mit einem Arbeitswiderstand notwendig. PECL-Spannungen bewegen sich im Bereich von 0 V (GND) bis 5 V (V_{CC}). Die Ausgangsstufe hat einen Innenwiderstand von ca. 8 Ω. Um den offenen Emitterkreis der Ausgangsstufe (A/Q_4 in Abb. 5.3) zu schließen, wird ein Widerstand R_t nach GND angeschlossen (s. Abb. 5.6 (a)). Um das Schaltverhalten der Ausgangsstufe zu verbessern, kann der komplementäre Ausgang ebenfalls mit einem Widerstand beschaltet werden. Der minimale Wert des Widerstandes wird durch den maximal zulässigen Ausgangsstrom bestimmt. Der Widerstand bildet zusammen mit Lastkapazitäten ein R-C-Glied. Die maximal notwendige Schaltfrequenz $f_g = 1/(RC)$ bestimmt wiederum den maximalen Wert des Widerstandes.

Weiterhin beeinflusst der Widerstand die Signalpegel für logisch eins und null. Für die meisten Anwendungen sind 100-510 Ω ausreichend.

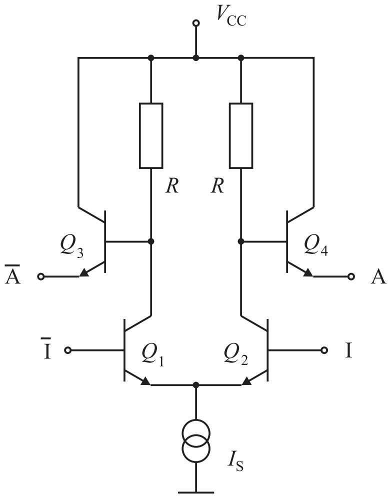


Abb. 5.3: Typischer Aufbau einer PECL-Ausgangsstufe; Differenzverstärker mit Eingängen I, $\overline{\mathrm{I}}$ und Ausgängen A, $\overline{\mathrm{A}}$ sowie Stromquelle I_S [45]

5.5 Reflexionen

Bevor im weiteren Verlauf auf Leitungsterminierungen eingegangen wird, wird in diesem Abschnitt kurz die Notwendigkeit dargestellt. Mit einem Funktionsgenerator wird auf eine Leitung $L = (3,2 \pm 0,1)$ m ein TTL-Rechtecksignal gegeben (s. Abb. 5.4). Der große Fehler der Längenmessung berücksichtigt die zusätzliche unbekannte Länge innerhalb des Funktionsgenerators vom Kabelkanschluss bis zur internen Ausgangsstufe. Mit einem Oszillograph wird mit einem kurzen Kabel ($L < 0,1$ m) direkt am Ausgang des Generators gemessen.

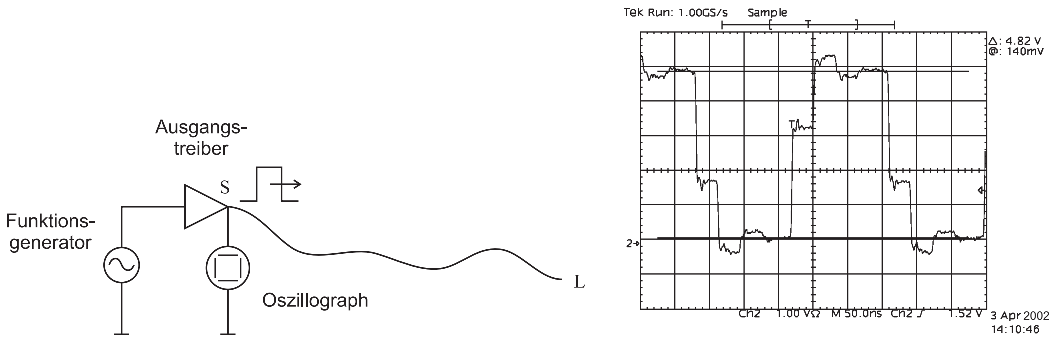


Abb. 5.4: Signalreflexion an einem Kabel mit offenem Ende

Beide Geräte sind impedanzangepasst (für $Z = 50\,\Omega$). Deutlich erkennbar sind die Stufen im Diagramm in Abbildung 5.4. Die Länge einer Stufe entspricht gerade der Summe aus Hin- und Rücklaufzeit des Signals im Kabel $t = (32 \pm 1)$ ns. Damit lässt sich eine Signallaufgeschwindigkeit von $v = (2,00 \pm 0,06) \times 10^8$ m/s bestimmen. Mit

Hilfe der Maxwell'schen Relation [46]:

$$\frac{c}{v} = \sqrt{\varepsilon_{\mathrm{r}}} > 1 \tag{5.1}$$

kann weiterhin die Dielektrizitätskonstante mit $\varepsilon_{\mathrm{r}} = 2,25 \pm 0,13$ für das Kabel bestimmt werden, welche vergleichbar mit Gummi ist [47]. In Abbildung 5.5 ist eine einfache Simulation der Signalreflexion dargestellt, die die Stufen reproduzieren kann. Es wird mit 20 Punkten gerechnet.

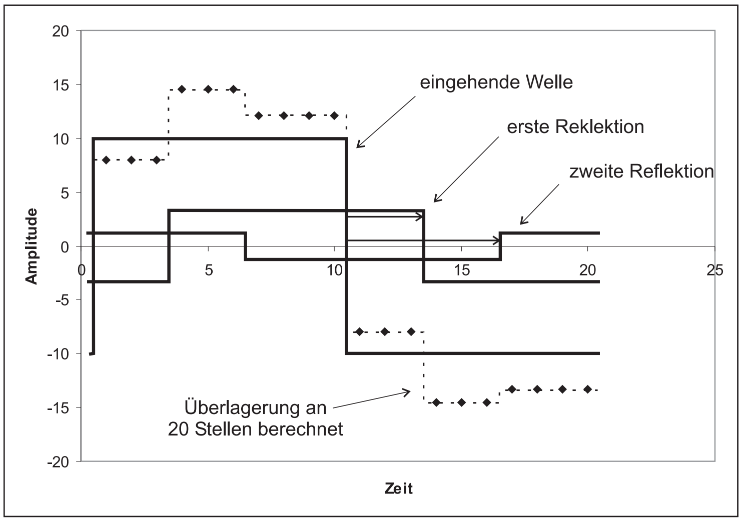


Abb. 5.5: Simulation einer zweifachen Signalreflexion. Die durchgezogenen Linien geben das Eingangssignal und mit Pfeilen markiert die Reflexionen an, die an äquidistanten Stellen aufaddiert die Punkte ergeben, die das resultierende Signal darstellen.

Die Phasenverschiebung beträgt drei Punkte für die erste Reflexion und zusätzliche drei für die zweite Reflexion, wobei das Signal invertiert wird. Daraus kann man schließen, dass die Impedanz des Treibers R_{S} geringer als die des Kabels Z ist. Die mathematische Beschreibung erfolgt durch Reflexionskoeffizienten [48], welche das Verhältnis der Spannungsamplitude zwischen eingehender und reflektierter Welle angeben, so dass für die obigen Fälle gilt (Indizes S – Source, L – Load; s. auch Glossar im Anh. G):

$$\rho_{\mathrm{L}} = \frac{R_{\mathrm{L}} - Z}{R_{\mathrm{L}} + Z} > 0 \qquad \text{für} \qquad R_{\mathrm{L}} > Z \tag{5.2}$$

$$\rho_{\mathrm{S}} = \frac{R_{\mathrm{S}} - Z}{R_{\mathrm{S}} + Z} < 0 \qquad \text{für} \qquad R_{\mathrm{S}} < Z \tag{5.3}$$

In der Simulation wird die erste Reflexion um den Faktor drei und die zweite um den Faktor acht geschwächt. Dieses Verfahren eignet sich hervorragend, um Leitungslängen oder Impedanzen zu bestimmen oder um Störstellen bzw. Impedanzübergänge zu lokalisieren (Time Domain Reflektometrie – TDR). Mit dem Anschluss eines weiteren kürzeren Kabels $L = (1,6 \pm 0,1)$ m erhält man erwartungsgemäß eine weitere kürzere Stufe halber Länge.

5.6 Parallele Terminierung bei ECL

Bei der Übertragung eines Signals läuft das Signal vom Sender über die Leitung zum Empfänger. Die Empfängerseite ist hochohmig, so dass dort die Welle z.T. reflektiert zum Sender zurückläuft, wo sie wiederum teilweise reflektiert wird. Dieser Vorgang kommt asymptotisch und durch die dämpfende Wirkung der Leitung zum erliegen. Ein niederohmiger Abschluss an der Empfängerseite von der Größenordnung der Leitungsimpedanz täuscht eine unendlich lange Leitung vor und verhindert somit Reflexionen. Die einfachste Möglichkeit ist eine Beschaltung jeder einzelnen Leitung mit ca. 50-100 Ω gegen Masse (Abb. 5.6 (b) mit $V_t = 0\,\mathrm{V}$ im PECL-Modus). Der Einfluss der Masse verringert die Spannungspegel für die logischen Zustände, so dass mit einer Referenzspannung $V_t > 0\,\mathrm{V}$ gearbeitet wird. Die Referenzspannung liegt ein wenig unter dem Spannungspegel von logisch null und beträgt $V_t = 3{,}0\,\mathrm{V}$ im PECL-Fall, dadurch wird neben der Terminierung auch der Emitterkreis der Ausgangsstufe des Signaltreibers geschlossen [49]. Die Spannung kann auf verschiedenen Wegen erzeugt werden, zum einen durch einen zusätzlichen Linearregler oder zum anderen durch einen Spannungsteiler (Abb. 5.6 (c)).

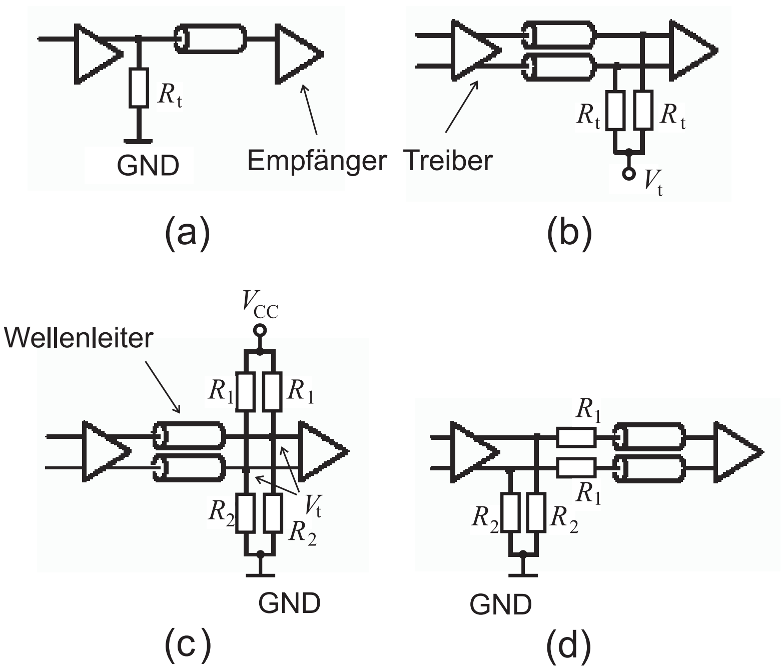


Abb. 5.6: Verschiedene Möglichkeiten der Leitungsterminierung für PECL-Signale: Arbeitswiderstand ohne Terminierung (a), einfache Parallele Terminierung (b), Parallele Terminierung durch Spannungsteiler (c) und serielle Terminierung (d) (aus [49])

Die Dimensionierung der Widerstände für einen Spannungsteiler ist abhängig von der Leitungsimpedanz Z sowie der Betriebspannung V_{CC} und der Terminierungsspannung V_t:

$$R_1 = \frac{Z\,V_{\mathrm{CC}}}{V_t} \qquad R_2 = \frac{Z\,V_{\mathrm{CC}}}{V_{\mathrm{CC}} - V_t} \tag{5.4}$$

Die Gleichungen ergeben sich aus zwei Bedingungen. Zum einen wird durch den Spannungsteiler V_t bereitgestellt:

$$\frac{V_\mathrm{CC}}{R_1 + R_2} = \frac{V_\mathrm{t}}{R_2} \tag{5.5}$$

und zum anderen ergibt sich die Leitungsimpedanz Z aus der Parallelschaltung der Widerstände die Leitungsimpedanz:

$$\frac{1}{Z} = \frac{1}{R_1} + \frac{1}{R_2} \tag{5.6}$$

da für Wechselspannungen V_CC und GND auf einem Potential liegen.

Für das Triggerverteilermodul und das Triggerlogikmodul wird die parallele Terminierung, die über Spannungsteiler realisiert wird, verwendet.

5.7 Serielle Terminierung

Die serielle Terminierung versucht im Gegensatz zu der parallelen Terminierung, die auftretenden Reflexionen bewusst zu nutzen. Dazu kommt ein Widerstand zum Einsatz, welcher sich auf der Senderseite direkt in der Leitung befindet, falls nötig in Verbindung mit einem Widerstand gegen Masse, wie es bei PECL-Technik der Fall ist (s. Abb. 5.6 (d)). Die Summe beider Widerstände ergibt die Leitungsimpedanz. Der Widerstand seriell zur Leitung erhöht die Dämpfung, so dass die Amplitude des Ausgangssignals halbiert wird. Zusammen mit der Reflexion auf der Empfängerseite wird durch konstruktive Interferenz daraus wieder ein Signal mit der ursprünglichen Amplitude. Reflexionen auf der Senderseite werden vermieden, da dieses Leitungsende durch die Widerstände impedanzangepasst ist.

Die serielle Terminierung kommt bei längeren Leitungen oder diskontinuierlichen Impedanzübergängen zum Einsatz, wie sie z.B. Steckkontakte zeigen können. Weiterhin eignet sie sich für eine sternförmige Vervielfachung des Ausgangssignals, damit mehrere Empfänger versorgt werden können, wobei jeder Signalzweig separat terminiert wird.

5.8 Kapazitive Kopplung

Oft treten in Verbindung mit einer Terminierung kapazitive Einkopplungen auf. Zum einen dienen sie der Gleichstromentkopplung, und zum anderen ermöglichen sie einen Signalhub. Die Einkopplung eines dynamischen Signals erfolgt durch einen Kondensator. Der Wert für den Kondensator C kann durch die Formel für die Grenzfrequenz eines einfachen Hochpass-Filters:

$$f_\mathrm{g} = \frac{1}{RC} \tag{5.7}$$

abgeschätzt werden, wobei f_{g} eine untere Grenzfrequenz und R den Eingangswiderstand der Eingangsstufe angibt.

Hinter dem Kondensator ist der Gleichspannungsanteil null. Die für die Eingangsstufe notwendige Gleichspannung muss nun wieder dem Signal aufgeprägt werden. Dazu wird eine Referenzspannung benutzt, deren Wert sich zwischen den diskreten Signalpegeln für logisch eins und null befindet. Im PECL-Standard entspricht dies etwa einer Spannung $V_{\mathrm{b}} = 3,7\,\mathrm{V}$. Viele ECL-Bauteile stellen die Spannung V_{b} an einem Pin zur Verfügung. Der Anschluss erfolgt durch einen Widerstand von der Größenordnung $1\,\mathrm{k\Omega}$, um den Strom zu begrenzen. Liegt die Spannung V_{b} am IC nicht vor, kann sie durch einen Spannungsteiler erzeugt werden. Die Summe der Widerstände sollte $10\,\mathrm{k\Omega}$ nicht überschreiten, da interne Widerstände, die offenen Eingängen einen definierten Pegel geben, in der Regel hochohmiger sind. In einer Parallelschaltung dominieren die niederohmigen Widerstände (s. Abb. 5.7).

Wenn Bauelemente über Stecker verbunden werden, kann es passieren, dass Eingänge von ICs offen bleiben, wenn sie voneinander getrennt sind. Dabei entstehen u.U. undefinierte Pegel, so dass die Eingangsstufe anfängt zu oszillieren. Hochohmige Widerstände gegen GND bzw. V_{CC} geben offenen Eingängen einen definierten Pegel und sollten extern beschaltet werden, falls sie nicht im IC enthalten sind [50].

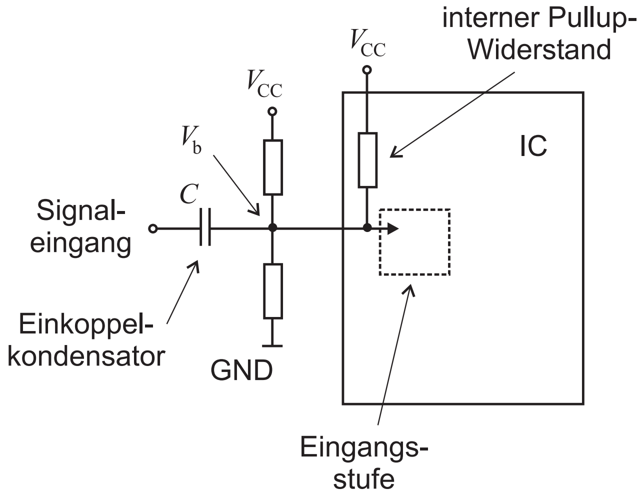


Abb. 5.7: Kapazitive Einkopplung mit nachfolgender Erzeugung eines Gleichspannungsanteils V_{b}. Für die Dimensionierung des Spannungsteilers sollten interne Pullup-Widerstände mit berücksichtigt werden.

Kapitel 6

Triggerverteilermodul

6.1 Signalverteilung

Vor der Entwicklung des weit komplexeren Triggerlogikmoduls wird das Triggerverteilermodul entwickelt. Das Triggerverteilermodul wird benötigt, um unter anderem den Auslösepuls (TRG) zu verteilen. Dazu wird das Signal dem Gerät zugeführt und vervielfacht auf die CATCH-Module des nachfolgenden Datennahmesystems gegeben. Aus einem Signal werden neun identische Signale gewonnen. Der Eingangspegel folgt wahlweise dem NIM- oder LVPECL-Standard. Der Ausgangspegel wird wiederum durch den LVPECL-Standard bestimmt. Neben dem Triggersignal TRG gibt es zwei weitere Signale mit der Bezeichnung GATE und SYNC, die nach dem selben Prinzip übertragen werden (Funktion der Signale s. unten). Die Signaleingänge im LVDS-Standard auf dem CATCH-Modul arbeiten mit dem LVPECL-Standard der Ausgänge des Triggerverteilers. Die beiden Standards sind eigentlich nicht zueinander kompatibel, können jedoch durch eine konvertierende Terminierung nach [51] auf dem CATCH-Modul angepasst werden.

Zusätzlich wird ein CLK-Signal verteilt, jedoch analog zum CATCH-Modul, dem PECL-Standard unterliegend. Das CLK-Signal hat keinen NIM-Eingang, da nur differenzielle Signale den Anforderungen an Taktsignale genügen [52]. Statt einem externen CLK-Eingangssignal kann mit einem Schalter ein interner Systemtakt von der Platine des Triggerverteilermoduls ausgewählt werden. Wenn bereits ein Triggersignal vorhanden ist, hat es den Vorteil, einsatzfähig zu sein, ohne dass das Triggerlogikmodul benötigt wird. Aus diesem Grund existieren die oben angesprochenen zusätzlichen NIM-Eingänge, da NIM-Module weit verbreitet sind in den Labors der Kern- und Teilchenphysik. Der Umfang der Schaltung spricht in idealer Weise für den Einbau in ein NIM-Gehäuse.

Signale

Neben einer Masseverbindung (GND) überträgt das Modul die Signale mit den Bezeichnungen: TRG, SYNC, GATE und CLK (s. Tab. 6.1). Das TRG-Signal definiert den Zeitpunkt der Datennahme (Auslösepuls). Das SYNC-Signal bestimmt den Beginn eines Intervalls, in dem mehrere Messungen, durch das TRG-Signal ausgelöst, folgen. Das Signal definiert den Nullpunkt für die Zeitmessung. Beim COMPASS-Experiment wird damit auch der Beginn eines Spills markiert. Das GATE-Signal hat innerhalb der Datennahmekette Vetofunktion. Der Systemtakt wird für die nachfolgende Elektronik durch das Signal mit der Bezeichnung CLK bereit gestellt.

Tab. 6.1 : Übersicht der Signale, die vom Triggerverteilermodul verteilt werden.

#	Signalbezeichnung	Ein-/Ausgang	Pegel	Funktion
1	TRG	E	LVPECL	Auslösepuls
2	GATE	E	LVPECL	Veto
3	SYNC	E	LVPECL	Beginn des Messintervalls
4	CLK	E	PECL	Systemtakt
5	GND	–	–	Masse für #1,#2,#3,#4
6	TRG	E	NIM	s. #1
7	GATE	E	NIM	s. #2
8	SYNC	E	NIM	s. #3
9	TRG	9 × A	LVPECL	s. #1
10	GATE	9 × A	LVPECL	s. #2
11	SYNC	9 × A	LVPECL	s. #3
12	CLK	9 × A	PECL	s. #4
13	GND	9 ×	–	Masse für #9,#10,#11,#12

6.2 Kaskadierbarkeit

Da die (LV)PECL-Eingangsschnittstelle identisch zu der Ausgangsschnittstelle ist, ist eine Kaskadierung möglich. Schon mit zehn Triggerverteilermodulen können 81 CATCH-Module bedient werden (s. Abb. 6.1).

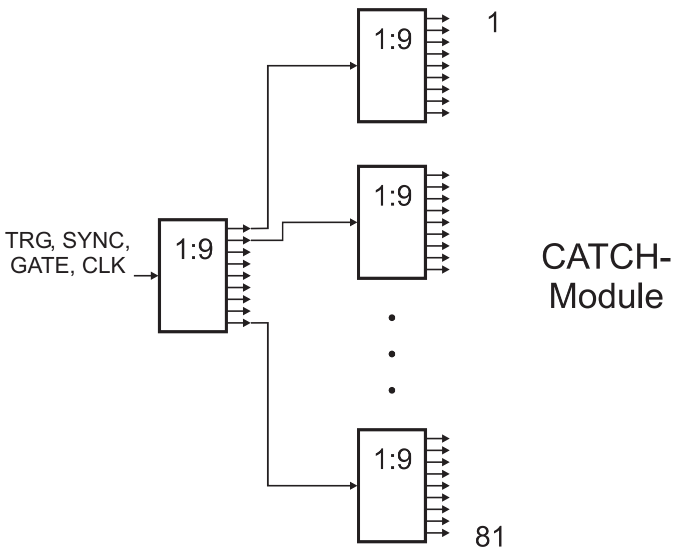


Abb. 6.1: Einfache Kaskadierung durch Hintereinanderschalten von Triggerverteilermodulen

Da die Eingangsschnittstellen vom Triggerverteiler und vom CATCH-Modul identisch sind (mit Anpassung von LVPECL ↔ LVDS), können die Ausgänge des Verteilers wahlweise mit einem Verteiler oder einem CATCH-Modul bedient werden. Beschränkungen in der Tiefe der Kaskadierbarkeit ergeben sich durch die Anzahl der vorhandenen Verteilermodule, sowie in zunehmenden Einbußen der Signalqualität. Weiterhin begrenzt die Länge der Kabel die Anzahl der erreichbaren CATCH-Module.

6.3 Elementare Schaltfunktionen

Die Schaltung kann generell in zwei Bereiche eingeteilt werden – in die Systemtaktverteilung (PECL-Teil) und die Verteilung der restlichen Signale (LVPECL-Teil). Im PECL-Teil wird mit einem Schalter ein Zwei-zu-eins-Multiplexer gesteuert (SEL in Abb. 6.2), der wahlweise das Signal CLK am Eingang oder das intern generierte Signal auf einen Verteiler gibt, der neun Ausgänge bedient. Der interne Oszillator hat einen HCMOS-Ausgang. HCMOS-Ausgänge sind mit TTL-Eingängen kompatibel [53]. Ein TTL-PECL-Konverter bringt den Oszillatorpegel auf den geforderten Standard.

Der LVPECL-Teil vervielfacht die restlichen drei Signale TRG, GATE und SYNC. Die Signale des LVPECL- und NIM-Eingangs werden durch ein ODER-Glied verknüpft. Der NIM-Eingang wird vorher in ein ECL- und dann in ein LVPECL-Signal konvertiert. Wiederum bedient das ODER-Glied einen Eins-zu-neun-Vervielfacherbaustein.

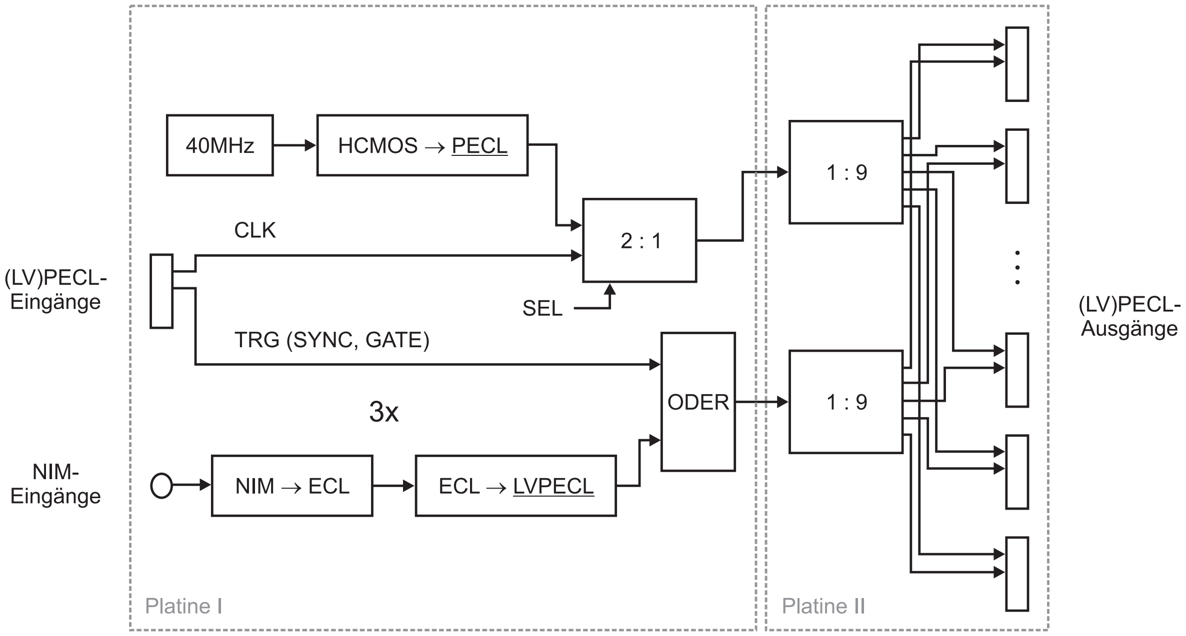


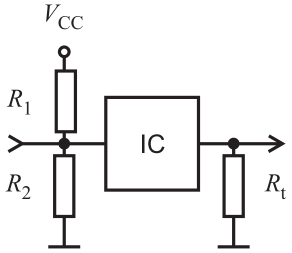
Abb. 6.2: Blockschaltbild des Triggerverteilermoduls

6.4 Leitungsterminierung

Die Signaleingänge werden mit einem Spannungsteiler R_1, R_2 parallel auf eine Leitungsimpedanz von $Z = 50\,\Omega$ hin terminiert (vgl. Abschn. 5.6). Die Leitungen der Ausgänge aller (LV)PECL-Bausteine werden auf der Platine nicht terminiert, da beim Entwurf der Leiterplatte darauf geachtet wird, dass die Verbindungsleitungen kurz bleiben. Allerdings findet eine Terminierung der Leitungen der Ausgangsschnittstelle auf dem nachfolgenden CATCH- bzw. Triggerverteilermodul statt. Lediglich Arbeitswiderstände R_t werden nahe den Ausgangspins positioniert (vgl. Abschn. 5.4).

Tab. 6.2 & **Abb. 6.3:** Dimensionierung der verwendeten Terminierung für das Triggerverteilermodul

	R_1 [Ω]	R_2 [Ω]	R_t [Ω]
PECL	82	120	470
LVPECL	130	82	150



6.5 Impedanzen

Im Zusammenhang mit Terminierungen entsteht immer wieder die Frage, wie groß tatsächlich der Wellenwiderstand ist. Berechnungsgrundlage ist eine Impedanz von $50\,\Omega$ – ein typischer Wert bei vielen Anwendungen. Die tatsächliche Impedanz hängt von vielen Faktoren ab, wie Leiterbahngeometrie, Leiterbahnanordnung oder Eigenschaften des Isolationsmaterials. Diese Faktoren sind alle bekannt, so dass geprüft wird, wie groß die Impedanz nun tatsächlich ist.

Die Leiterplatte besteht aus einem Kern mit zwei inneren Leitungsebenen und zwei außen aufgepressten Schichten (s. Abb. 6.4). Die verwendeten Isolationsmaterialien tragen die Bezeichnung FR4 und "Prepreg" und haben eine Dielektrizitätskonstante $\varepsilon_r \approx 4,5$ (vgl. Abschn. 5.5). Das verwendete Leitungsmaterial ist Kupfer.

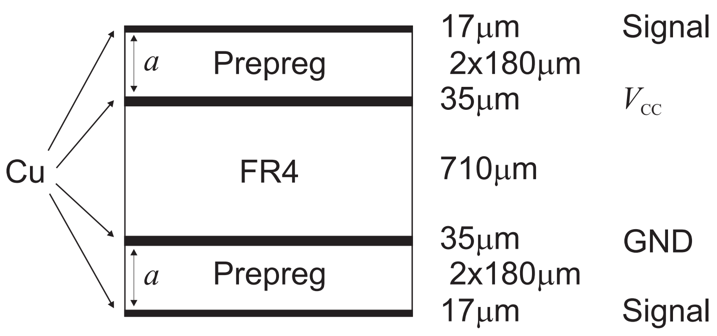
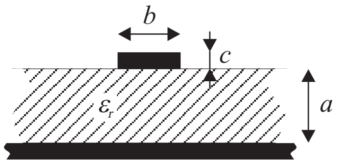


Abb. 6.4: Aufbau und Funktionsverteilung der Leiterplatte des Triggerverteilermoduls

Die äußeren Signallagen befinden sich im Abstand a zu den inneren Signallagen, worauf großflächig die Spannungsversorgung untergebracht ist. Auf der Platine werden für die Signalleitungen Breiten von $b_1 = 200\,\mu\text{m}$ und $b_2 = 300\,\mu\text{m}$ verwendet. Analytisch lässt sich aus den Maxwell-Gleichungen folgender Ausdruck für die gegebene Leiterbahngeometrie ableiten [54]:



$$Z_0 = \frac{87\,\Omega}{\sqrt{\varepsilon_\mathrm{r} + 1,4}} \cdot \ln \frac{6\,a}{0,8\,b + c} \tag{6.1}$$

worin c die Leiterbahnhöhe angibt. Die damit berechneten Werte Z_0 sind im Vergleich zu den Impedanzen Z_1 nach Angaben des Leiterplattenherstellers [55] in Tabelle 6.3 eingetragen. Die Abweichung von der Berechnungsgrundlage $Z = 50\,\Omega$ ist somit recht groß, jedoch klein genug, um trotzdem volle Funktionsfähigkeit zu gewährleisten, wie die Erfahrung zeigt.

Tab. 6.3: Impedanzen für Signalleitungen auf der Leiterplatte des Triggerverteilermoduls analytisch berechnet Z_0 im Vergleich zu Angaben des Leiterplattenherstellers Z_1

	$Z_0[\Omega]$	$Z_1[\Omega]$
$b_1 = 200\,\mu\text{m}$	$89,6$	$87,5$
$b_2 = 300\,\mu\text{m}$	$76,2$	$74,4$

6.6 Spannungsversorgung

Die verwendeten Bauteile benötigen Betriebsspannungen von 3,3 V; 5,0 V und -5,0 V, die aus den Spannungen ±6 V und ±12 V, die für das NIM-Modul zur Verfügung gestellt werden (s. Anh. A.5), transformiert werden. Kriterien an die Betriebsspannungsversorgung sind Stabilität und maximaler Ausgangsstrom. Die (LV)PECL-Signale reagieren sehr empfindlich auf Änderungen des positiven Pols der Betriebsspannung, da er das Bezugspotential darstellt [56]. Getaktete Netzteile haben den Vorteil, hohe Wirkungsgrade zu erzielen und somit verlustarm zu arbeiten, jedoch verbleibt immer eine Restwelligkeit im Pegel der Ausgangsspannung, und sie sind deshalb eher ungeeignet. Des Weiteren sind sie elektronisch anspruchsvoll beschaltet und dadurch teuer. Ein Längsregler arbeitet nach einfacherem Prinzip und ist demnach kostengünstiger. Jedoch ist die Verlustleistung relativ hoch, da die Spannungswandlung über thermische Verbraucher realisiert wird. Kühlkörper und eine Belüftung der NIM-Einschübe helfen einer funktionsbeeinträchtigenden Überhitzung vorzubeugen. Längsregler werden sowohl für die geforderten 3,3 V als auch für 5,0 V Betriebsspannung eingesetzt. Bei der 3,3 V Betriebsspannung wird von der 6 V Eingangsspannung heruntergeregelt und bei der 5,0 V Betriebsspannung von der 12 V Eingangsspannung. Die minimale Differenz von Ein- und Ausgangsspannung liegt bei sogenannten LOW-DROPOUT-Längsreglern bei etwas über einem Volt und wird somit nicht unterschritten [57].

Die Temperaturen der Linearregler werden durch folgende Gleichungen mit geschätzten Werten bestimmt:

$$T_\mathrm{J} = T_\mathrm{A} + P_\mathrm{D}\ \vartheta_\mathrm{JA} \tag{6.2}$$

$$\vartheta_\mathrm{JA} = \vartheta_\mathrm{HA} + \vartheta_\mathrm{JC} + \vartheta_\mathrm{CH} \tag{6.3}$$

worin T Temperaturen, P_D die Verlustleistung und ϑ Wärmeleitkoeffizienten angeben, die im Folgenden noch näher erläutert werden. Mit Berücksichtigung aller Strom verbrauchenden Teile der Schaltung wird ein maximaler Strom für jede Betriebsspannung geschätzt, der als Berechnungsgrundlage für die Verlustleistung P_D dient:

$$P_\mathrm{D}(3,3\,\mathrm{V}) = (6,0\,\mathrm{V} - 3,3\,\mathrm{V}) \cdot 1,2\,\mathrm{A} = 3,2\,\mathrm{W}$$
$$P_\mathrm{D}(5,0\,\mathrm{V}) = (12,0\,\mathrm{V} - 5,0\,\mathrm{V}) \cdot 0,7\,\mathrm{A} = 4,9\,\mathrm{W}$$

Die Umgebungstemperatur wird mit $T_\mathrm{A} = 30\,°\mathrm{C}$ geschätzt. Entscheidend ist, wie stark sich die Elektronik des Reglers aufheizt T_J, wobei die Elektronik grundsätzlich in zwei Bereiche einzuteilen ist (s. Abb. 6.5). Der Leistungsteil ist weniger empfindlich gegenüber Erhitzung als der Regelteil mit einer maximalen Temperatur $T_\mathrm{max} < 125\,°\mathrm{C}$. Die Wärmeleitung der Elektronik über das Gehäuse des Reglers, bzw. Kühlkörpers auf die Umgebung, beeinflusst die Aufheizung und wird quantitativ mit dem Wärmeleitkoeffizienten ϑ_JA erfasst, der aus Wärmeleitkoeffizienten für Teilübergänge aufgebaut wird. Der Koeffizient für den Übergang der Reglerelektronik auf das Reglergehäuse beträgt für den Regelteil $\vartheta_\mathrm{JC} = 1,5\,°\mathrm{C/W}$ und für den Leistungsteil $\vartheta_\mathrm{JC} = 4,0\,°\mathrm{C/W}$. Bei dem Einsatz von Wärmeleitpaste beträgt der Wärmeleitkoeffizient für den Übergang von Reglergehäuse auf den Kühlkörper $\vartheta_\mathrm{CH} = 0,2\,°\mathrm{C/W}$. Den größten Beitrag liefert der Wärmeleitkoeffizient für den Übergang vom Kühlkörper auf die ihn umgebene Luft mit $\vartheta_\mathrm{HA} = 8,2\,°\mathrm{C/W}$. Aus diesen Werten ergeben sich folgende Temperaturen:

$$T_{\mathrm{J}_1}(3,3\,\mathrm{V}) = 62\,°\mathrm{C}$$
$$T_{\mathrm{J}_2}(3,3\,\mathrm{V}) = 70\,°\mathrm{C}$$
$$T_{\mathrm{J}_1}(5,0\,\mathrm{V}) = 79\,°\mathrm{C}$$
$$T_{\mathrm{J}_2}(5,0\,\mathrm{V}) = 91\,°\mathrm{C}$$

Die Indizes 1 und 2 unterscheiden die Temperatur für Regel- und Leistungsteil. Alle Temperaturen liegen mit einigen Reserven unterhalb der zulässigen Temperatur, so dass damit ein sicherer Betrieb der Längsregler gewährleistet werden kann.

Um die Stromaufnahme der stromschwachen 12 V Eingangsspannung des NIM-Moduls zu minimieren, wird ein Teil der 5,0 V Betriebsspannung mittels einer stromstarken Diode von der 6 V Eingangsspannung heruntergeregelt. Dabei wird der konstante Spannungsabfall über die Diode von 0,7 V ausgenutzt. Nur wenige Bauteile mit geringer Toleranz an die Betriebsspannung werden über einen Längsregler mit der 5,0 V Betriebsspannung versorgt. Die Aufheizung des Längsreglers ist dadurch kleiner, als oben für $T_\mathrm{J}(5,0\,\mathrm{V})$ angegeben.

Bei der Anforderung an die -5,0 V Betriebsspannung wird die große Toleranz an die Betriebsspannung der Bauteile genutzt, so dass direkt -6 V angeschlossen werden.

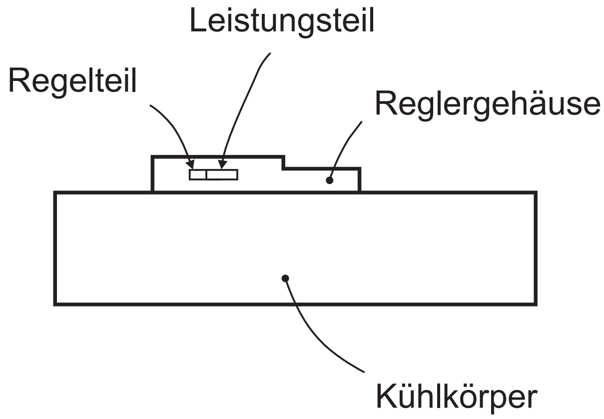


Abb. 6.5: Längsregler mit Kühlkörper – Vereinfachter Aufbau zur Demonstration der Wärmeleitung

6.7 Oszillator

Da Zeitmessungen innerhalb des Experiments durch TDCs auf Einheiten der Periodendauer des Systemtaktes beruhen, ist ein stabiler Systemtakt Grundvoraussetzung für genaue Messungen. Der Systemtakt wird innerhalb der Triggerelektronik durch einen Oszillator erzeugt. Auf die Auswahl dieses Bauteils wurde besonders geachtet. Durch den Baustein wird ein Teil der Messunsicherheit für die Zeitmessung bestimmt. Wesentlich ist die Frequenzstabilität im Kurz-, wie auch im Langzeitverhalten, welche durch viele Faktoren beeinflusst wird. Herzstück eines Oszillators ist ein piezoelektrischer Quarz. Dieser liefert elektrische Pulse einer fest definierten Frequenz und deren Oberfrequenzen. Frequenzvariationen erhält man durch verschiedene Schnitte des Kristalls, höhere Frequenzen unter Ausnutzung der Obertöne. Frequenzanpassungen werden durch Anlegen variierender Spannungen erzielt [58].

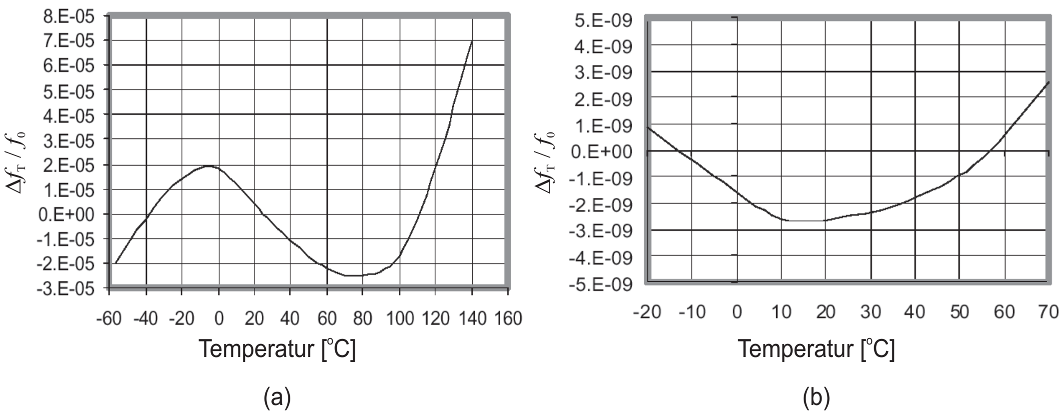


Abb. 6.6: Temperaturgang der Frequenz eines unstabilisierten Quarzes (a) im Vergleich zu einem temperaturstabilisierten Quarz (b) [59]

Des Weiteren gehört zum Quarz eine verstärkende Elektronik, die gemeinsam mit dem Kristall in ein Gehäuse eingeschlossen ist.

Für das Triggerverteilermodul wird ein geheizter Schwingquarz verwendet, der sich in einem thermisch isolierten Gehäuse befindet, um äußere Temperaturschwankungen zu minimieren und somit temperaturbedingte Frequenzänderungen Δf_T zu verkleinern (s. Abb. 6.6). Weitere frequenzbeeinflussende Faktoren sind Änderungen der Ausgangslast (Δf_L), Alterungsprozesse (Δf_Ag), Abweichung vom nominellen Herstellungswert (Δf_N) oder Änderungen in der Betriebsspannung (Δf_P), weswegen der Oszillator eine separate Betriebsspannung erhält. Eine Kurzzeitdrift im Bereich weniger Mikrosekunden verfälscht eine Zeitmessung. Eine Langzeitdrift macht innerhalb einer Messung nur geringe Fehler, jedoch verfälscht es zwei identische Messungen, die durch eine lange zeitliche Pause getrennt sind. Dem wäre Abhilfe geschaffen, wenn die Frequenz vor jeder Messung entweder ausgemessen oder kalibriert wird – das Modul kann dazu mit einem Potentiometer nachgerüstet werden. Dafür benötigt man einen Frequenzzähler. Folgende Formel listet noch einmal alle frequenzbeeinflussenden Summanden auf, welche in Tabelle 6.4 quantitativ zusammengefaßt sind (Δf_P vernachlässigt):

$$\frac{\Delta f}{f_0} = \frac{\Delta f_\mathrm{T}}{f_0} + \frac{\Delta f_\mathrm{L}}{f_0} + \frac{\Delta f_\mathrm{N}}{f_0} + \frac{\Delta f_\mathrm{P}}{f_0} + \frac{\Delta f_\mathrm{Ag}}{f_0}(t) \tag{6.4}$$

Tab. 6.4: Frequenzänderungen des Oszillators, der für das Triggerverteilermodul genutzt wird.

t	1 s	1 d	1 a
$\Delta f/f_0$ [ppm]	0,6	0,6	1,6

Der Hersteller hat zu jedem Oszillator ein Endmessprotokoll mitgeliefert, dessen Anwendung individuell den Gesamtfehler herabsetzen kann, falls dies notwendig sein sollte. In dem Protokoll ist z.B. ein genauer Messwert f_N für die Frequenz angegeben, so dass der Fehler für die Abweichung vom nominellen Herstellungswert Δf_N entfallen kann.

Das Triggerverteilermodul wird zum Teil kaskadierend eingesetzt oder mit vorgeschaltetem Triggerlogikmodul, so dass innerhalb des Datennahmesystems nur ein Modul mit einem hochwertigen Oszillator ausgestattet wird. So kommen stattdessen kostengünstigere Modelle zum Einsatz.

6.8 Schaltplan und Layout

Die erste Seite des Schaltplans, welcher im Anhang A.1 zu finden ist, enthält die Schaltelemente des Signaleingangsbereichs. Seite zwei zeigt den vervielfachenden Signalausgangsbereich, und auf der letzten Seite befindet sich die komplette Spannungsversorgung. Die Schaltung wird auf zwei Platinen verteilt, da allein alle neun

Ausgangsbuchsen die komplette Länge der Platine II (s. Abb. 6.2) ausnutzen. So werden die restlichen Frontelemente auf Platine I verteilt. Beide Platinen sind vierlagig (vgl. Abschn. 6.5). Es gibt jeweils zwei Ebenen mit Signalleitungen und zwei für Masse und Betriebsspannung (s. Anh. A.2). Der Übergang von einer Ebene auf die nächste erfolgt mit Durchkontaktierungen. Trotz hoher Komplexität der Schaltung sind nur zwei Signalebenen notwendig. Die Trennung des Signalweges zwischen Platine I und II erfolgt an einer Stelle, wo die Signale am meisten verdichtet sind – hinter dem ODER-Glied und dem Multiplexer (s. Abb. 6.2), so dass es neben Masse und den Betriebsspannungen acht Kontakte zwischen den Platinen gibt.

Nach der Bestückung und Fertigstellung werden die Platinen eingebaut (s. Abb. 6.7) und die Frontplatte entworfen (s. Anh. A.3). Die Beschriftung erfolgt in einem Stil, wie er auf vielen NIM-Modulen zu finden ist. Die Farbgebung gestaltet sich in dem für unsere Abteilung typischen Grün (s. Abb. 6.8).

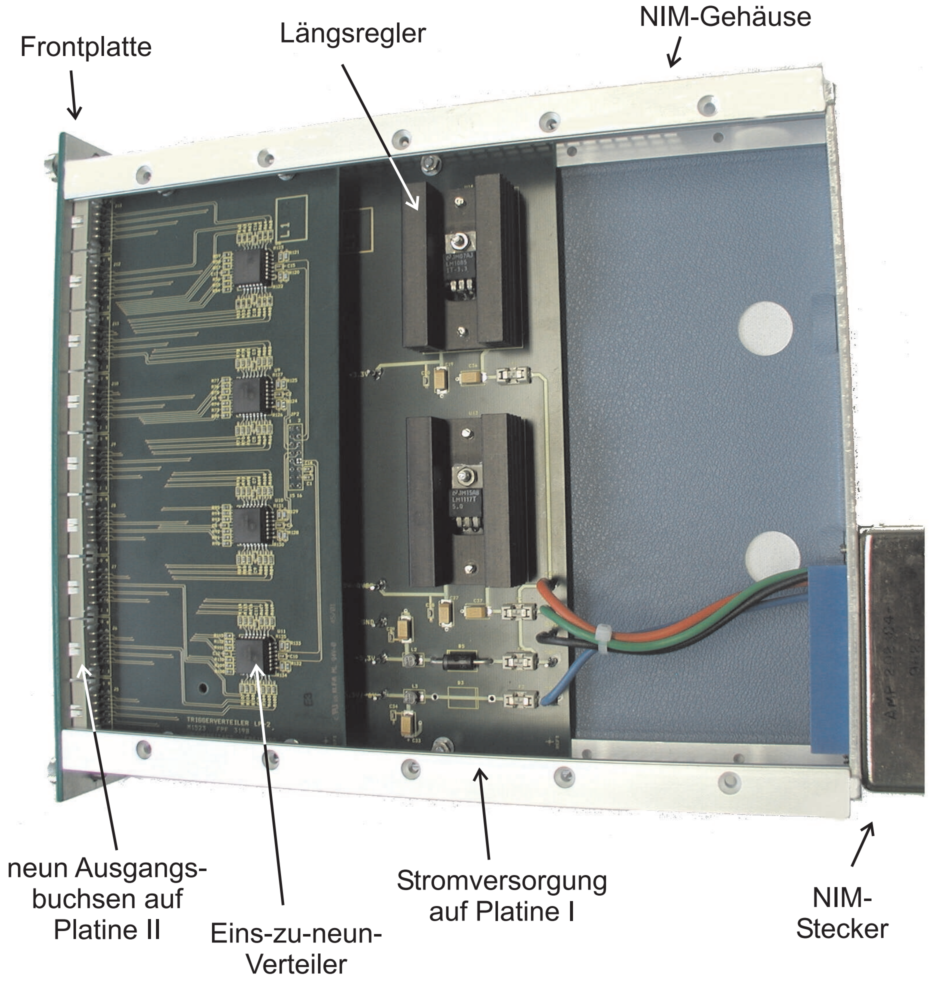


Abb. 6.7: Innenansicht des fertigen Triggerverteilermoduls

Abb. 6.8: Ansicht des fertigen Triggerverteilermoduls

6.9 Inbetriebnahme

Schrittweise werden notwendige Elemente der Inbetriebnahme bis hin zur ersten Anwendung ausgeführt.

Stromaufnahme

Am Anfang werden die Betriebsspannungen an den entsprechenden Testpins gemessen. Dazu wird das Modul mit einem Spannungsverlängerungskabel aus dem NIM-Einschub herausgeführt. Danach wird eine Strommessung im Leerlaufzustand gemacht, d.h. ohne Belastung der Ein- und Ausgänge, wobei zu diesem Zeitpunkt noch keine LEDs angeschlossen sind. Die mit 0 indizierten Variablen in Tabelle 6.5 geben die Größen vor dem Regelteil, die ohne Index hinter dem Regelteil an.

Tab. 6.5: Betriebsdaten für Spannungen, Stromaufnahme und Leistungen des Triggerverteilermoduls

U_0 [V]	I_0 [A]	U [V]	I [A]	P_0 [W]	P_D [W]	P [W]	ϑ [°C]
5,8 (+ 6)	1,338	3,26	1,244	7,76	3,70	4,06	46
5,8 (+ 6)	0,318	4,87	I_0	1,84	0,30	1,55	–
- 6,1 (- 6)	0,020	-6,04	I_0	0,12	0,00	0,12	–
11,9 (+ 12)	0,017	4,97	0,012	0,20	0,14	0,06	31
dito	0,084	dito	0,080	1,00	0,60	0,40	35

Unter gleichen Bedingungen wird weiterhin die Temperatur des Kühlkörpers für den Linearregler der entsprechenden Spannung gemessen und in Tabelle 6.5 angegeben (Umgebungstemperatur 22 °C). Der Einfluss der Befestigungsapparatur für den Messfühler könnte die Temperaturen noch einmal um 10 % verfälschen. Die Unsicherheiten in allen Werten sind maximal von der Größenordnung der ersten Stelle, die nicht mehr angegeben ist. Die vorletzte bzw. letzte Zeile der Tabelle 6.5 bezieht sich auf den Einsatz des Testquarzes bzw. des geheizten Präzisionsquarzes (nach der Aufheizperiode im thermischen Gleichgewicht). Die Vorhersage für die Temperatur des Längsreglers, die in Abschnitt 6.6 für die Spannung von 3,3 V getroffen wird, stimmt gut mit dem tatsächlichen Wert überein. Die Vorhersagen für die 5,0 V Spannung werden weit unterschritten, da der Heizstrom für den Präzisionsoszillator kleiner ausfällt als erwartet und wie gesagt, nicht der volle Strom allein vom Längsregler bewältigt wird.

Aus den Werten der Tabelle 6.5 lässt sich eine Gesamtstromaufnahme des Moduls im Ruhezustand von $I_{0\,\mathrm{ges}} = 1,8\,\mathrm{A}$ bestimmen.

Funktionstests

Die NIM-Eingangssignale TRG, SYNC und GATE können erfolgreich an allen neun Ausgängen beobachtet werden. Gleiches gilt für das Oszillationssignal des Testquarzes, woraufhin dieser durch einen Präzisionsquarz ersetzt wird. Auch mit diesem

Oszillator gibt es keine Schwierigkeiten. Geregelt wird der Präzisionsoszillator mit einer Referenzspannung, welche mit 2,000 V bestimmt wird, die das Bauteil selber zur Verfügung stellt. Um die Frequenz des Oszillators zu regeln, sind für die Nachrüstung mit einem Potentiometer Temperaturkoeffizienten von $\vartheta < 50\,\mathrm{ppm/^oC}$ empfohlen, um eine versteckte Temperaturdrift zu vermeiden.

Die in Tabelle 6.2 angegebenen Werte für die Eingangsterminierung der LVPECL-Signale bereiten Probleme. Wenn die Eingänge offen sind, gibt es undefinierte Zustände. Mit geänderten Widerstandswerten (s. Tabelle 6.6) für eine leicht asymmetrische Terminierung wird das Problem behoben.

Tab. 6.6: Dimensionierung der Widerstände einer asymmetrischen Terminierung bezogen auf Abbildung 6.3

	R_1 [Ω]	R_2 [Ω]
LVPECL+	100	150
LVPECL−	100	169

Signallaufzeiten

Signallaufzeiten sind eng mit der Geometrie des Layouts der Platinen verbunden, wodurch unterschiedliche Laufzeiten entstehen. Messungen der Signallaufzeiten führen zu dem in Tabelle 6.7 angegebenen Ergebnis.

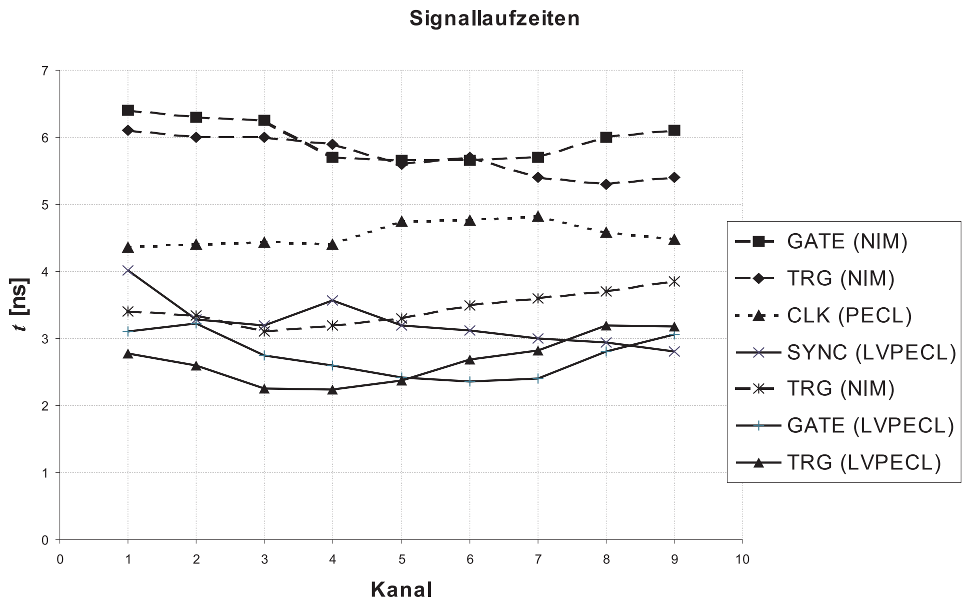


Abb. 6.9: Signallaufzeiten des Triggerverteilermoduls

Der Fehler ist deshalb so groß, da die Werte für einzelne Kanäle systematisch unterschiedlich sind, der Fehler aber alle Kanäle einschließt. In Abbildung 6.9 sind alle gemessenen Werte mit einem Fehler kleiner 0,1 ns eingetragen. Deutlich erkennbar sind kleine Laufzeitunterschiede zwischen den Ausgangskanälen eines Signals und größere zwischen verschiedenen Signalen.

Tab. 6.7: Signallaufzeiten des Triggerverteilermoduls für unterschiedliche Signale

Signal	t [ns]
TRG (NIM)	$3,5 \pm 0,5$
GATE (NIM)	$6,0 \pm 0,5$
SYNC (NIM)	$5,7 \pm 0,5$
TRG (LVPECL)	$2,7 \pm 0,5$
GATE (LVPECL)	$2,8 \pm 0,5$
SYNC (LVPECL)	$3,4 \pm 0,6$
CLK (PECL)	$4,6 \pm 0,3$

Anwendung

Zwei Triggerverteilermodule kommen mit zwölf CATCH-Modulen, die mit 32 Zähler-CMCs und 16 TDC-CMCs bestückt sind, seit einigen Monaten beim Crystal-Barrel-Experiment am Elektronenbeschleuniger ELSA des physikalischen Instituts der Universität Bonn zum Einsatz.

Dabei handelt es sich um einen 3,5 GeV Elektronen-Speicherring, der zur Erzeugung externer Elektronenstrahlen mit hohem Tastverhältnis und für Synchrotronlichtexperimente genutzt wird. Ein Schwerpunkt der gegenwärtigen Aktivitäten ist die Beschleunigung von polarisierten Elektronen auf hohe Energien. Hierbei sind besondere Anstrengungen notwendig, um den Verlust der Polarisation während der Beschleunigungsphase zu vermeiden.

Das Crystal-Barrel-Experiment sucht nach Mesonresonanzen, die bis zu diesem Zeitpunkt von anderen Experimenten noch nicht beobachtet worden sind, aber im Rahmen der Quanten-Chromodynamik vorhergesagt werden. Es werden Photon-Nukleon-Reaktionen untersucht. In diesem Experiment wird unter anderem mit Hilfe der Triggerverteilermodule und der CATCH-Module ein Triggerpuls generiert, der Ereignisse selektiert, bei denen ein Photon von einem Elektron abgestrahlt wird (Photon-Tagger).

Beim ersten Einsatz der Triggerverteilermodule traten leichte technische Probleme auf. Wenn entweder die Triggerverteilermodule oder die CATCH-Module ausgeschaltet waren, stieg der Stromverbrauch in den gegenseitigen Modulen stark an. Dies lässt sich durch ein unkontrolliertes Verhalten interner Spannungsschutzdioden an Ein- bzw. Ausgängen der ICs erklären, welche die Verbindung zwischen den Modulen herstellen. Durch das Einsetzen von Widerständen bzw. Kondensatoren seriell zu den Eingangsleitungen der Signale TRG, GATE, SYNC und GATE konnten die Probleme auf dem CATCH-Modul beseitigt werden. Seitdem arbeitet das Triggerverteilermodul zuverlässig, und es wird erfolgreich gemessen.

Kapitel 7

Triggerlogikmodul

7.1 Konzept

Der Einsatz von programmierbaren ICs zieht sich durch alle Bereiche der Ausleseelektronik des COMPASS-Experiments. Dieses erlaubt eine Elektronik die flexibel bleibt, auch wenn die Platine fertig entwickelt ist. Insbesondere ermöglicht es den Zugriff auf die Signallogik innerhalb der Signalverarbeitung, welche im programmierbaren Chip untergebracht wird. Dadurch bleibt viel Spielraum für eigene Kreativität. Es besteht die Idee, diese Vorzüge auf das Triggerlogikmodul anzuwenden.

Aus einer großen Anzahl von Triggereingangssignalen wird über eine logische Verknüpfung ein systemweites Auslesesignal durch das Triggerlogikmodul generiert. Um die Einsetzbarkeit des Moduls zu erhöhen, kann die Funktion mit einfachen Mitteln nach Wünschen des Anwenders festgelegt werden. Er entscheidet, welcher der Tiggereingangssignale einer UND- oder einer ODER-Verknüpfung unterliegen. Diese Überlegungen führen zum Einsatz eines zentralen FPGAs, als programmierbarer IC, sowie einer VME-Schnittstelle, um Informationen mit dem Modul auszutauschen. FPGAs haben auf Grund ihrer internen RAM-Struktur, die im Folgenden erläutert wird, gegenüber CPLDs, ebenfalls ein programmierbarer IC, den Vorzug erhalten.

7.2 Vorüberlegungen

Für die technische Umsetzung des Konzepts leiten sich verschiedene Anforderungen ab, die im Folgenden näher erläutert werden.

Wertetabelle

Wertetabellen (LUTs) sind essenzieller Bestandteil eines FPGAs, durch die er seine Stärken erhält. Es handelt sich dabei um RAM-Bausteine mit einem Adressraum von vier Bit. Pro Adresse kann ein Bit gespeichert werden. Da der Lesezugriff asynchron erfolgt, werden sie genutzt, um darin eine beliebige Boole'sche Funktion mit vier Variablen unterzubringen (s. Abb. 7.1). Unter Verwendung mehrerer LUTs können mehr als vier Variablen verarbeitet werden. Diese Eigenschaft machen die LUTs in der FPGA-Einbettung ideal für die Umsetzung des geforderten Konzepts. Mit der Definition des RAMs durch den Anwender wird Variabilität der Verknüpfungsfunktion gewährleistet.

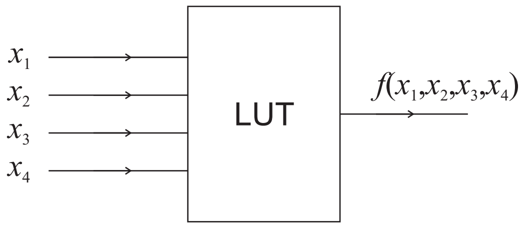


Abb. 7.1: LUTs – Bausteine der FPGA-Struktur

Signallaufzeiten

Der Zugriff auf den RAM erfolgt asynchron. Die Eingangssignale sind nicht statisch sondern dynamisch, d.h. Pulse bestimmter Länge erscheinen am Eingang der Wertetabelle nur eine bestimmte Zeit. Liegen Differenzen in den Signallaufzeiten in der Größenordnung der Pulslängen, gibt es Komplikationen mit der Pulslänge des Ausgangssignals, wie in Abbildung 7.2 dargestellt.

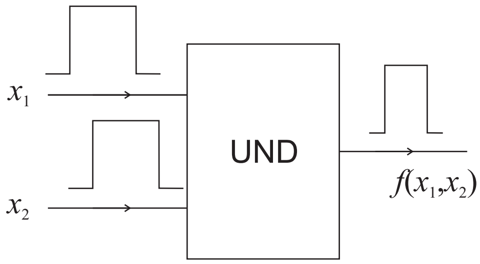


Abb. 7.2: Signalverkürzung durch Laufzeitunterschiede

Laufzeitunterschiede ergeben sich durch unterschiedlich lange Leiter sowohl auf der Platine $\Delta t_{\text{Platine}}$ als auch im FPGA Δt_{FGPA} und bei der Signalzuführung an die Platine Δt_{Ext}. Die Zugriffszeit t_{LUT} auf den RAM und Laufzeitunterschiede definieren somit die minimale Pulslänge:

$$T_{\min} = \Delta t_{\text{Ext}} + \Delta t_{\text{Platine}} + \Delta t_{\text{FGPA}} + t_{\text{LUT}} \tag{7.1}$$

$$T_{\min} \geq 2\,\text{ns}$$

Die Zugriffszeit auf den RAM t_{LUT} beträgt ca. 0,5 ns. Laufzeitunterschiede im FPGA Δt_{FGPA} ergeben sich durch die Platzierung der Pins für die Triggersignale und der Wertetabellen innerhalb des Chips (vgl. Abschn. 7.4).

Bei der Entwicklung des Layouts der Platine wird darauf geachtet, dass signalführende Leiterbahnen möglichst kurz gehalten werden und dass sie alle gleich lang sind. Die gleichen Argumente werden für das Design des FPGAs berücksichtigt.

Verzögerungsleitungen

Mit Verzögerungsleitungen werden Laufzeitunterschiede ausgeglichen. Alle Signallaufzeiten werden mit Verzögerungsleitungen auf das langsamste Signal angepasst. In der Notation, die in Abbildung 7.2 verwendet wird, würde man die Verzögerung des Pulses x_1 so lange variieren, bis die Pulsbreite des Ausgangssignals maximal wird. Um Laufzeitdifferenzen auf der Platine des Triggerlogikmoduls auszugleichen, gibt es auf der Platine für jeden Kanal einen IC der die Funktionalität einer programmierbaren Verzögerungsleitung hat. Die Programmierung der ICs erfolgt über die VME-Schnittstelle. In Schritten von 10 ps kann eine maximale Verzögerung von 10,23 ns eingestellt werden (vgl. Abschn. 7.6). Die Verzögerungsleitungen sind dazu gedacht, interne Differenzen $\Delta t_{\text{Platine}}$ und Δt_{FGPA} auszugleichen. Sie können darüberhinaus aber auch externe Verzögerungszeiten der Signalzuführungsleitungen ausgleichen.

Die Ansteuerung der Verzögerungs-ICs erfolgt mit einem Dekoder, dazu ist erst einmal die Anzahl der ICs zu definieren. Die Zahl der Triggereingangskanäle wird auf 16 festgelegt. Zum einen ist eine möglichst hohe Anzahl gefordert, zum anderen müssen die Eingangsstecker auf der Platine Platz finden. Weiterhin eignet sich diese Anzahl in Bezug auf die Umsetzung mit LUTs. Pro Kanal wird ein programmierbarer Verzögerungs-IC eingesetzt. Die ICs werden über einen 10 Bit breiten Datenbus programmiert (s. Abb. 7.3). Für die Auswahl eines ICs besteht ein Adressbus aus 16 Leitungen, wobei die Anzahl reduziert werden kann. Es wird immer nur ein IC zu einer Zeit programmiert, so dass bei 16 Verzögerungs-ICs nur 16 Kombinationen geschaltet sind. 16 Kombinationen lassen sich durch eine Vier-Bit-Zahl darstellen (BCD-Kodierung), die mit einem Dekoder den jeweiligen IC selektiert. Für die Schaltung wird ein 16-aus-vier-Dekoder aus zwei Acht-aus-drei-Dekodern zusammengesetzt, da nur diese handelsüblich als IC zur Verfügung stehen.

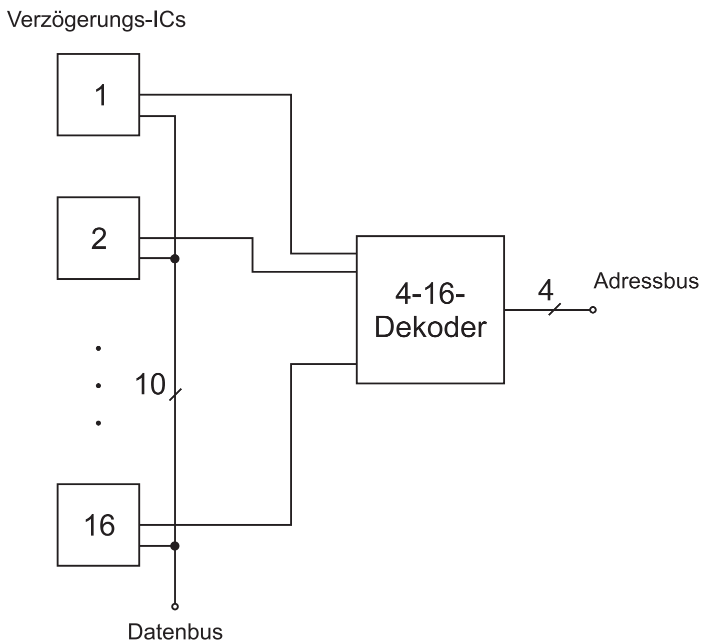


Abb. 7.3: Ansteuerung der Verzögerungselemente über einen Dekoder

Pulslänge

Die Pulslänge des Triggerpulses hängt von der Länge der Eingangssignale und den Laufzeitdifferenzen bzw. der logischen Funktion ab (s. Abb. 7.2). Deswegen ist die Pulslänge variabel. Der Anwender kann über die VME-Schnittstelle definieren, wie lang die Pulslänge aller Auslösepulse ist. Die technische Umsetzung im FPGA führt dazu, dass die fallende Flanke des Ausgangssignals mit der Unsicherheit von einer Periode eines 200 MHz Taktes (5 ns) behaftet ist.

VME-Schnittstelle

Alle programmierbaren Teile des Konzepts können von dem Anwender über die VME-Schnittstelle modifiziert werden [60, 61]. Die Idee dafür stammt vom CATCH-Modul. Auf dem CATCH-Modul wird die Schnittstelle bereits erfolgreich eingesetzt, so dass sie ohne Probleme übernommen werden kann. Über eine Adresse sind die entsprechenden Register einer VME-Platine ansprechbar.

Signalein- und -ausgänge

Die Eingangssignale müssen dem NIM-Standard entsprechen, wie es in der Teilchenphysik üblich ist. Die Ausgangsschnittstelle richtet sich nach dem Signalstandard der Eingangsschnittstelle des Triggerverteilermoduls. Zusätzlich werden Ausgänge im NIM-Standard zur Verfügung gestellt.

7.3 Umsetzung

Im vorherigen Abschnitt 7.2 wurden einige Vorüberlegungen an das Triggerlogikmodul skizziert. Daraus leiten sich zwei Entwicklungsaufgaben für die Umsetzung ab. Zum einen muss die Hardware geschaffen werden, und zum anderen soll der zentrale FPGA so programmiert werden, dass er den Anforderungen entspricht. Alle Elektronikkomponenten finden auf einem 6U-VME-Modul Platz, so dass dieser Standard für die Umsetzung gewählt wird. Wie bereits erwähnt, sprechen auch die Kommunikationsmöglichkeiten des VME-Busses für den Einsatz.

Schaltplan

Der erste große Schritt der Umsetzung von der Idee zum fertigen Modul ist die Entwicklung eines Schaltplanes. Dazu wird der Elektronikmarkt genauestens analysiert, um die optimalen Bauteile herauszufinden. Die Auswahl der ICs erfordert besondere Sorgfalt. Logikfamilie, Schaltgeschwindigkeit, Verfügbarkeit, Bauform, Preis und Funktion sind wesentliche Kriterien. Es werden fast ausschließlich SMD-Bauteile benutzt, da sie einfacher maschinell zu bestücken sind. Die Vernetzung der ICs unterliegt in der Digitalelektronik einfachen Regeln. Wenn Reflexionen auftreten können, werden Terminierungen verwendet. Das Blockschaltbild, dargestellt in Abbildung 7.4, liegt dem Entwurf des Schaltplanes zu Grunde.

An zentraler Stelle befindet sich der FPGA vom Typ “Spartan II” [62]. In ihm ist die Logik untergebracht. Ein- und Ausgänge werden von Pegelwandlern dominiert, die Signalstandards anpassen. Weiterhin stehen zwei Oszillatoren zur Verfügung. Ein Oszillator wird als Systemtakt genutzt und der Andere, um die Pulslänge des Auslösepulses zu variieren. Die VME-Schnittstelle wird durch einen CPLD realisiert, der über Treiberbausteine mit dem VME-Bus verbunden wird. Ein interner Bus dient der Kommunikation zwischen FPGA und CPLD. Der FPGA, der CPLD und der PROM können über die JTAG-Schnittstelle programmiert werden. Der PROM enthält das Design für den FPGA, welches nach jedem Spannungsausfall in den FPGA geladen wird. Zusätzlich kann der FPGA über eine serielle Schnittstelle oder über den VME-Bus programmiert werden. Test-LEDs und Testpins erleichtern die Entwicklung des FPGA-Designs.

Eine umfangreiche Spannungsversorgung stellt alle nötigen Betriebsspannungen zur Verfügung. Eine spezielle Anbindung der Versorgungsspannungen des VME-Überrahmens an das Triggerlogikmodul ermöglicht ein Einstecken des Moduls in den VME-Überrahmen, ohne dessen Spannungsversorgung abzuschalten [63]. Die Spannungsversorgung wird größtenteils vom CATCH- bzw. Triggerverteilermodul übernommen und an das Triggerlogikmodul angepasst. Für die -5 V Betriebsspannung wird ein erweiterter VME-Busstandard eingesetzt, der auf einem zusätzlichen Bus eine negative 5 V Spannung zur Verfügung stellt [64].

Der Schaltplan umfasst 13 Seiten, welche im Anhang B.1 aufgeführt werden.

Abblockkondensatoren

Jeder IC besitzt Anschlüsse, an denen die Betriebsspannung angelegt wird. Abblockkondensatoren werden dicht an diese Beinchen angeschlossen. Sie dienen als Ladungsreserve, falls bei einem Schaltvorgang innerhalb des ICs kurzfristig eine große Leistung benötigt wird. Die Kapazität beträgt typischerweise 100 nF. Ohne diese Kondensatoren wären Spannungseinbrüche im Pikosekundenbereich möglich. Die Kondensatoren decken den hochfrequenten Bereich ab. Daneben gibt es Kondensatoren für den mittleren und unteren Frequenzbereich bezogen auf Leistungsschwankungen. Diese Kondensatoren haben größere Kapazität und müssen sich nicht direkt am Spannungspin befinden. Sie kommen bei großen ICs zum Einsatz, wie bei einem FPGA [62].

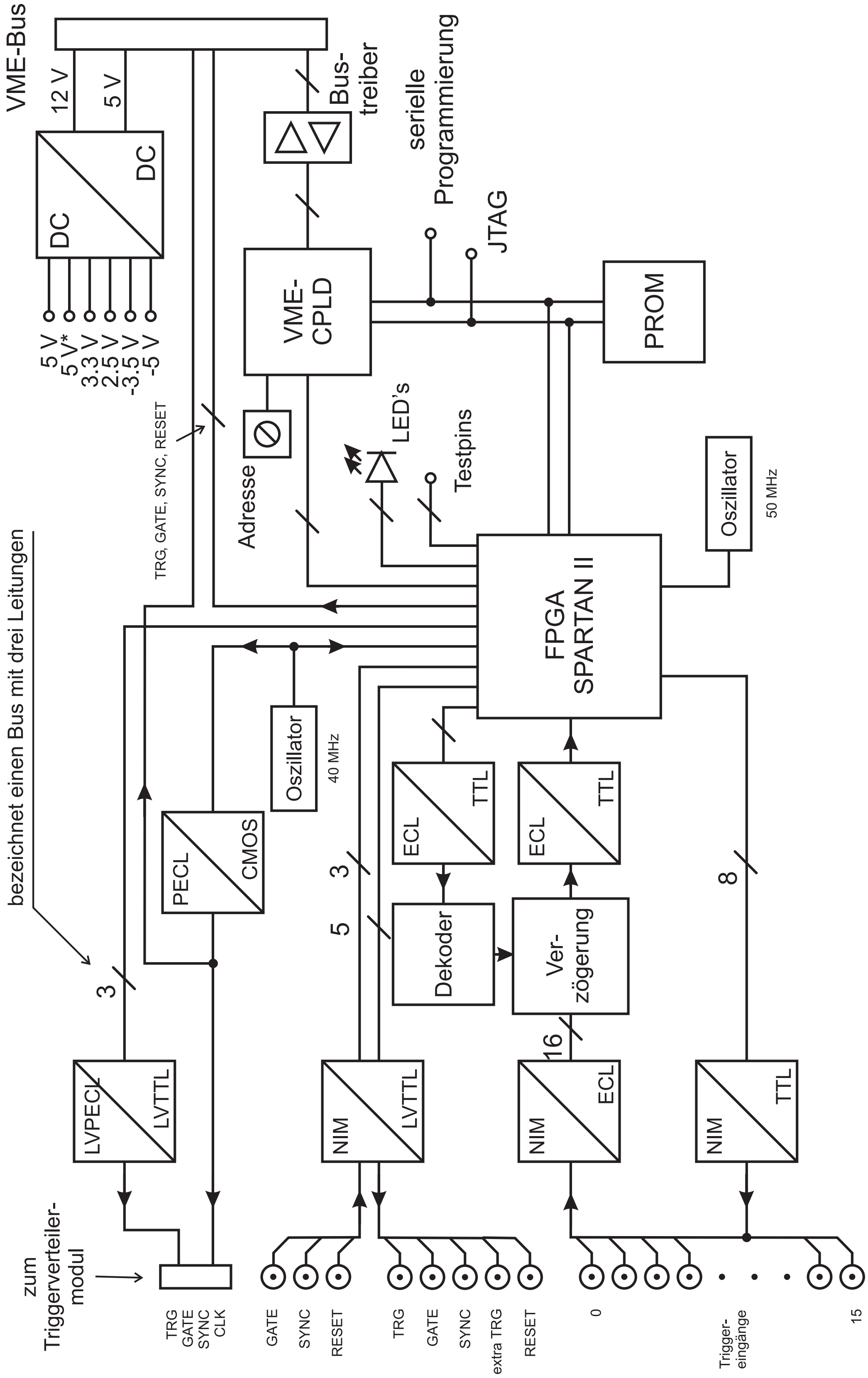


Abb. 7.4: Blockschaltbild des Triggerlogikmoduls

Layout

In einem zweiten großen Schritt wird in Zusammenarbeit mit der Elektronikwerkstatt der Universität Freiburg das Layout des Triggerlogikmoduls entwickelt. Die Komplexität der Schaltung erfordert eine Platine mit acht Kupferlagen, wobei vier Lagen für Spannungsversorgungen verwendet werden. Aufbau und Verteilung der Signallagen zeigt Abbildung 7.5.

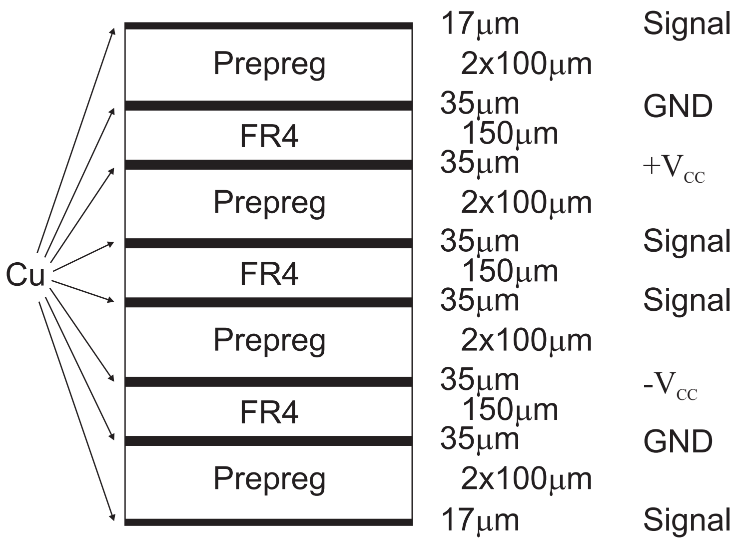


Abb. 7.5: Aufbau der Platine und Funktionsbelegung der Kupferlagen

Es wird überwiegend eine einheitliche Breite signalführender Leiterbahnen von $b = 200\,\mu$m verwendet. Um ein Übersprechen von Signalen auf andere Leiter zu verhindern, werden übereinanderliegende Leitungen der inneren Signalebenen orthogonal zueinander verlegt. Positive und negative Spannungen werden auf je einer Ebene geführt. Trennungen innerhalb der Spannungsebenen werden mit minimalem Abstand durchgeführt, um Impedanzsprünge in darüberliegenden Signalleitungen zu verhindern [65]. Layout, Bestückungsplan und Bedruckung der Platine sind im Anhang B.2 aufgeführt.

Impedanzen

Analog zu Abschnitt 6.5 werden die Impedanzen der Signalleitungen auf der Platine überprüft. Da es sich um eine achtlagige Platine handelt, unterscheidet sich der Aufbau der Platine zu dem des Triggerverteilermoduls. Es werden für äußere, wie auch für innere Signallagen eine Impedanz von $Z = 65\,\Omega$ nach Angaben des Herstellers bestimmt.

Strombelastbarkeit

Die Breite der Leiterbahnen richtet sich nach dem Rasterabstand, den die Bauteilpins haben. Demnach ist er so gewählt, dass es möglich ist, zwischen zwei benachbarten Pinauflageflächen eine Leiterbahn hindurchzuführen. Grundsätzlich sind

Signalleitungen und stromführende Leiterbahnen für die Spannungsversorgungen zu unterscheiden, wobei letztere wesentlich breiter ausfallen. Für die Signalwege werden auf der Platine Breiten von $b_1 = 200\,\mu\text{m}$ bzw. $b_2 = 300\,\mu\text{m}$ bei Stärken von $c_1 = 17\,\mu\text{m}$ und $c_2 = 35\,\mu\text{m}$ eingesetzt. Da die NIM-Ausgänge recht stromintensiv arbeiten, stellt sich die Frage, ob der gegebene Leiterbahnquerschnitt tatsächlich der Strombelastung standhalten kann.

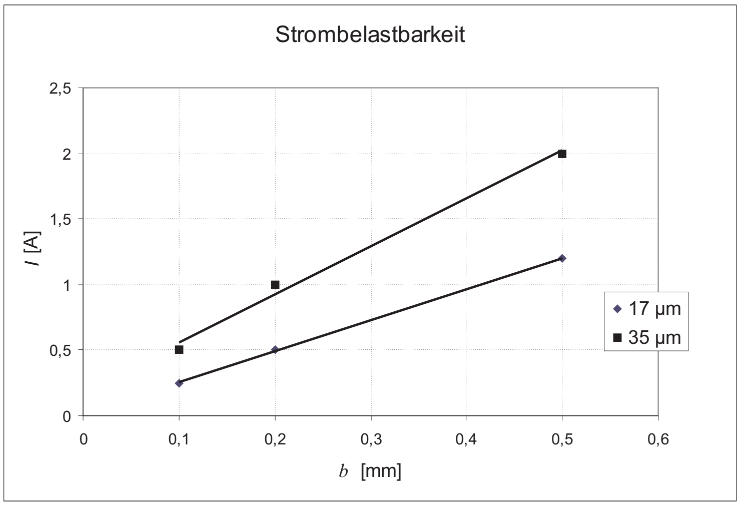


Abb. 7.6: Strombelastbarkeit für zwei verschiedene Leiterbahnstärken

Mit Hilfe von Richtwerten [66] kann das Diagramm, dargestellt in Abbildung 7.6, angefertigt werden, woraus eine untere Grenze für den maximalen Strom $I_{\text{max}} > 500\,\text{mA}$ ersichtlich ist. Dieser Wert übersteigt bei Weitem den geschätzten Wert von $I = 100\,\text{mA}$, und somit ist ein sicherer Betrieb der NIM-Ausgänge gewährleistet.

7.4 FPGA-Design

Ein weiterer großer Schritt in der Entwicklung des Triggerlogikmoduls besteht im Entwurf eines Designs für den zentralen FPGA. Dafür eignet sich das Softwarepaket "Xilinx Foundation F3.1i", im Besonderen die Programmiersprache VHDL [67, 68]. Das Design bestimmt die Funktion des FPGAs. Es lassen sich alle bekannten Elemente der Digitalelektronik, wie z.B. Logikgatter, Register, Flip-Flops oder Binärzähler implementieren und beliebig vernetzen. Das Design wird nach jedem Einschalten der Spannungsversorgung neu in den FPGA programmiert. Dies geschieht zum einen über die VME-Schnittstelle und zum anderen durch einen PROM-Baustein. Eine dritte Möglichkeit besteht durch eine JTAG-Schnittstelle. Der Entwicklung liegt das Blockschaltbild aus Abbildung 7.7 zu Grunde.

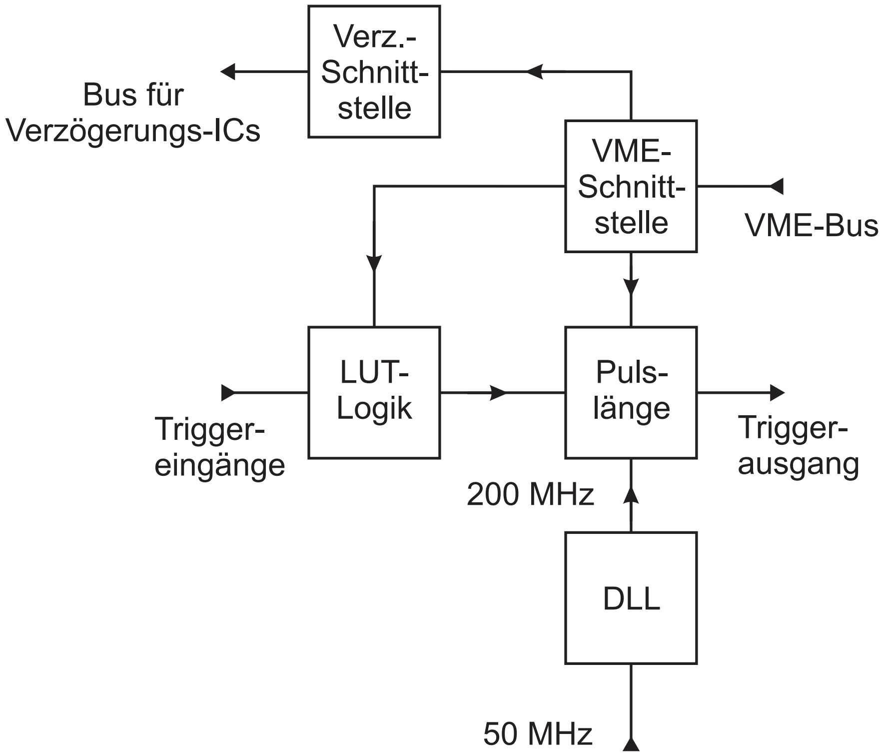


Abb. 7.7: Blockschaltbild des FPGA-Designs des Triggerlogikmoduls

Mehrere Triggereingangssignale werden durch LUTs logisch verknüpft. Danach wird die Pulslänge des Ausgangssignals definiert. Eine Schrittweite von 5 ns wird durch einen vierfachgetakteten 50 MHz Takt erzielt. Eine VME-Schnittstelle ermöglicht die Programmierung der Logik, der Pulslänge und der Verzögerungszeit einzelner Eingangskanäle.

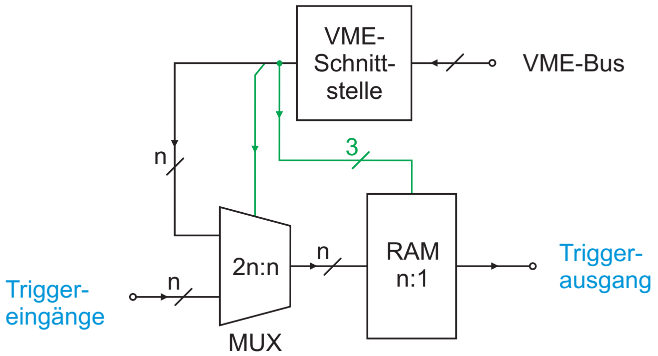


Abb. 7.8: Blockschaltbild modifizierbarer LUT-Logik des FPGA-Designs

In einer ersten Verfeinerung ist in Abbildung 7.8 das technische Konzept für modifizierbare Logik dargestellt. Wahlweises Beschalten der Eingänge des RAMs über einen Multiplexer ermöglicht einen Zugriff auf den RAM-Inhalt über die VME-Schnittstelle. Dafür sind eine Leitung zur Steuerung des Multiplexers und drei Steuerleitungen für den RAM notwendig.

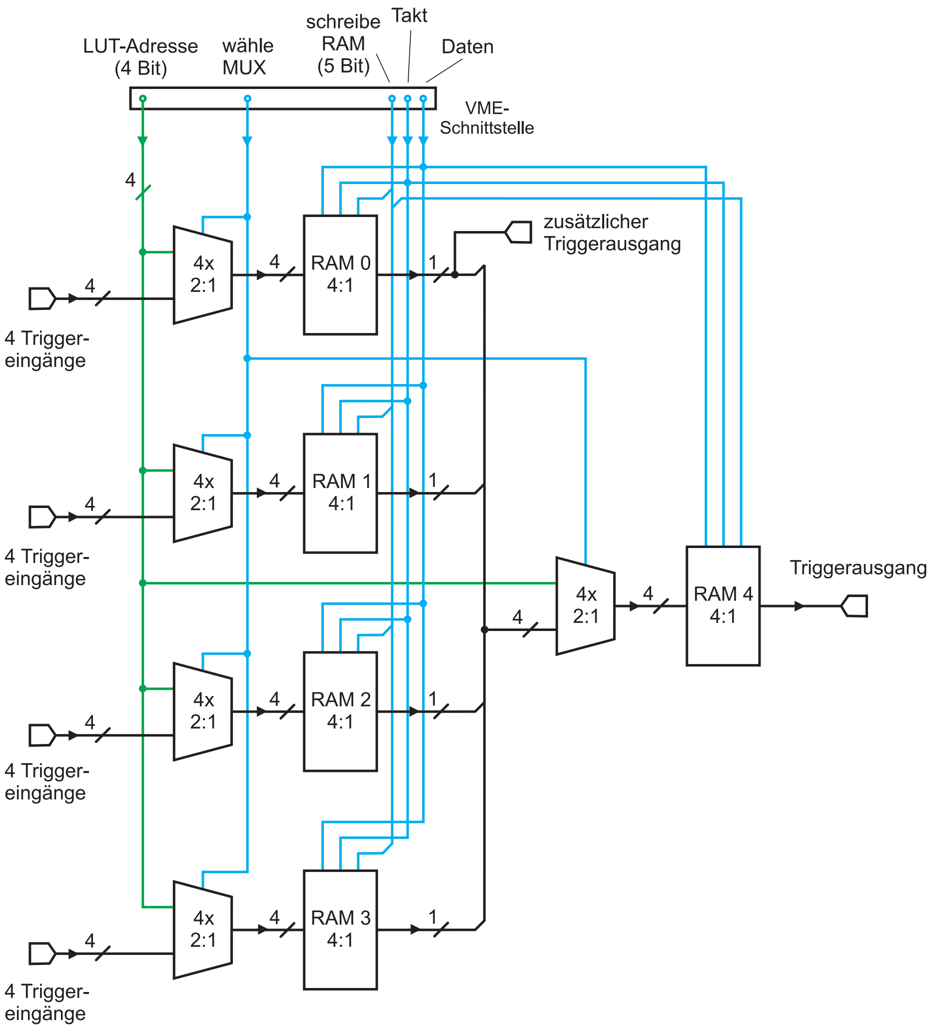


Abb. 7.9: Umsetzung der LUT-Logik in FPGA-Strukturen

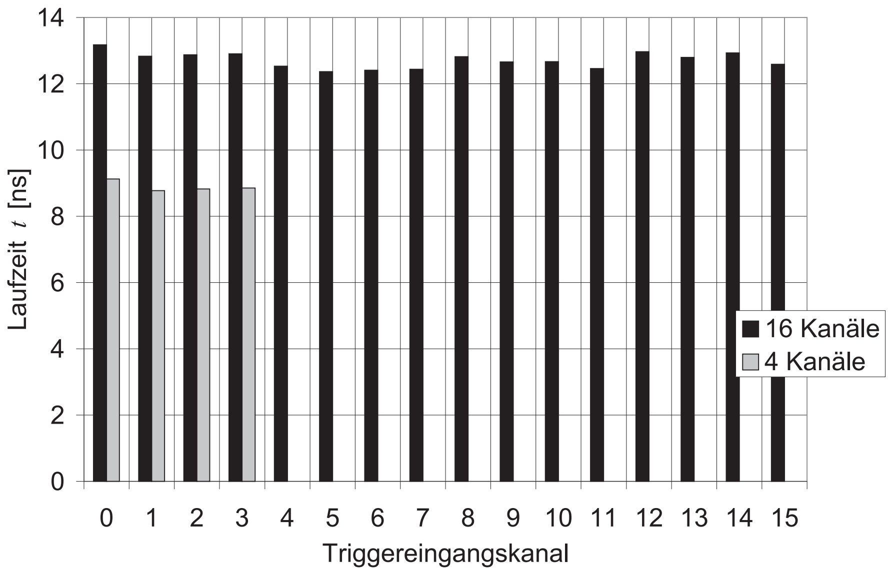


Abb. 7.10: Signallaufzeiten für vier und 16 Triggereingangskanäle (Simulation)

Die FPGA-Struktur gibt LUTs mit einem Adressraum von vier Bit vor. Damit können jeweils vier Eingänge verarbeitet werden. Bei entsprechender Vernetzung verschiedener LUTs können 16 Eingänge verarbeitet werden. Diese Anzahl hat sich in vielerlei Hinsicht als optimal herausgestellt. Zu beachten ist, dass bei Vernetzung nach Abbildung 7.9 noch der gesamte Funktionenraum für jeweils vier Kanäle zur Verfügung steht, jedoch eingeschränkt für alle 16 Kanäle. Der Funktionenraum wäre zwar erweiterbar unter Einsatz weiterer LUTs, jedoch ist dieser bereits ausreichend und würde zusätzliche Laufzeitverzögerungen mit sich bringen. Durch den Einsatz interner Wertetabellen des FPGAs wird es somit möglich, eine eingeschränkt frei wählbare Wertetabelle für eine Boole'sche Funktion aufzustellen, die 16 Triggereingangssignale logisch verknüpft. In Abbildung 7.10 sind die erwarteten Verzögerungszeiten angegeben, wie sie bei einer Programmierung des FPGAs nach Abbildung 7.9 entstehen.

Die Realisierung einer programmierbaren Pulslänge ist in Abbildung 7.11 schematisch dargestellt. Die steigende Flanke des Eingangssignals startet ein Flip-Flop. Das Ausgangssignal des Flip-Flops durchläuft ein Schieberegister, das nach fester Zeit das Flip-Flop zurücksetzt. Über einen Multiplexer kann eine bestimmte Zelle des Schieberegisters ausgewählt werden, welche einer bestimmten Pulslänge äquivalent ist. Bei einer Taktfrequenz von 200 MHz steht jede Zelle für 5 ns. Die Programmierung des Multiplexers, die die Pulslänge festlegt, wird in einem Register (Latch) gespeichert und geschieht über den VME-Bus.

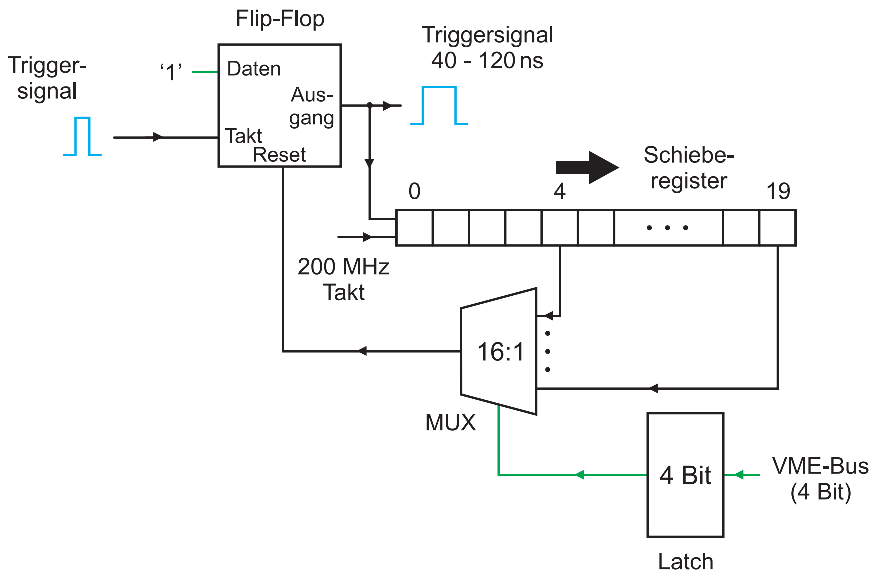


Abb. 7.11: Blockschaltbild des FPGA-Designs einer programmierbaren Pulslänge des Triggerlogikmoduls

7.5 Vorzähler

Die Variabilität des FPGAs und Architektur der Platine lässt die Funktion als Vorzähler zu. Die Funktion als Triggerlogikmodul geht damit allerdings verloren. Ein

Vorzähler verringert die Anzahl von Pulsen um einen festen Teiler 2^i ($i \geq 0$), der über die VME-Schnittstelle programmierbar ist. Zu diesem Zwecke werden acht Triggereingänge des Triggerlogikmoduls als Ausgänge benutzt. Der FPGA bekommt ein eigenständiges Design, so dass acht Vorzähler zur Verfügung stehen. Das Grundprinzip des Aufbaus des Vorzählers ist in Abbildung 7.12 ersichtlich. Eingangspulse werden mit einem Binärzähler hochgezählt. Ein programmierbarer Multiplexer wählt einen Ausgangskanal des Binärzählers, der für einen entsprechenden Teiler steht. Um die Pulslänge und Durchlaufzeit konstant zu halten, ist eine Verzögerungsleitung vorgesehen.

Durch den Einsatz von Schieberegistern ließen sich auch andere Teiler implementieren. So könnte z.B. vom Modul nur jeder dritte oder fünfte Puls weitergegeben werden.

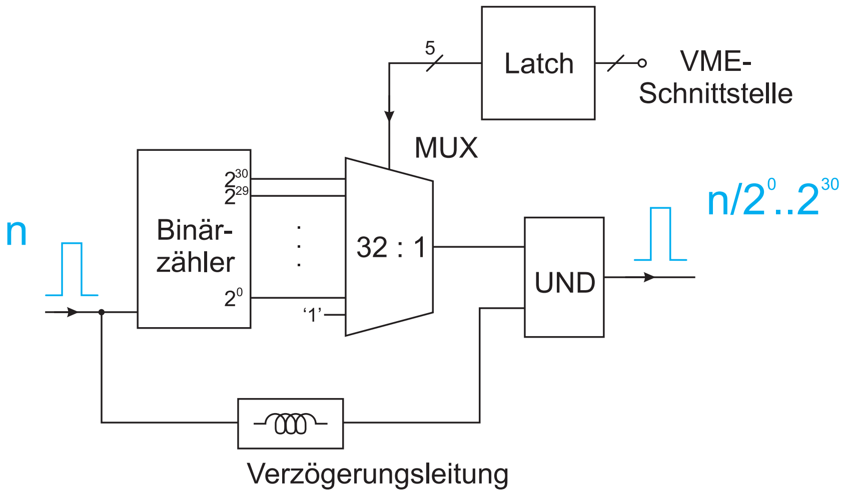


Abb. 7.12: Blockschaltbild für das FPGA-Design eines Vorzählers

7.6 Adressvergabe

Die Anwendersteuerung des FPGAs erfolgt über einen 32 Bit breiten Adress- bzw. Datenbus. Mit zwei Adressschaltern kann dem Triggerlogikmodul eine Adresse ADR (s. Abb. 7.4) zugewiesen werden, um bei einem Zugriff die entsprechende Platine anwählen zu können. Der dafür vorgesehene Adressraum ist Bit 16 bis 23. Bit 24 bis 31 sind fest vorgegeben. Bit 0 und 1 entfallen für Verwaltungszwecke des VME-Busses. Aus Kompatibilitätsgründen zum CATCH-Modul, von dem die VME-Schnittstelle übernommen wird, sind Bit 10 bis 15 festgelegt. Der VME-CPLD erkennt, wenn ein Zugriff auf "seine" Platine erfolgt und gibt dann die Daten an den FPGA weiter, wobei der Adressraum bereits auf Bit 2 bis 9 eingeschränkt ist (s. Abb. 7.13). Mittels einer Adresse aus diesem Bereich können programmierbare Teile des FPGAs ausgewählt werden und mit Daten vom VME-Datenbus programmiert werden. Tabelle 7.1 zeigt, wie Adressen vergeben werden (alle Angaben hexadezimal). "R" steht für Lesen und besagt, dass die VME-CPU, die den VME-Bus verwaltet, mit dieser Adresse eine Leseoperation ausführen kann. Entsprechend steht "W" für Schreiben.

Tab. 7.1: Adressvergabe für den FPGA des Triggerlogikmoduls

Adresse	R/W	Funktion	Daten
0000	R	Version des Designs	16 Bit
0004	R/W	RAM 0 (Logik)	4 Bit Adresse + 1 Bit Daten
0008	R/W	RAM 1 (Logik)	4 Bit Adresse + 1 Bit Daten
0010	R/W	RAM 2 (Logik)	4 Bit Adresse + 1 Bit Daten
0020	R/W	RAM 3 (Logik)	4 Bit Adresse + 1 Bit Daten
0040	R/W	RAM 4 (Logik)	4 Bit Adresse + 1 Bit Daten
0080	R/W	MUX (Pulslänge)	4 Bit
0100-01f0	R/W	Dekoder Kanal 0-15	10 Bit Verzögerungszeit
0200	–	–	–

Zusätzlich zu der angegebenen Adresse wird eine Basisadresse addiert, die alle oben angegebenen Merkmale enthält: e0000800 + ADR * 10000. Somit lautet zum Beispiel die Adresse, um die Pulslänge der Platine mit Adresse 8 zu programmieren (hexadezimal): e0080880.

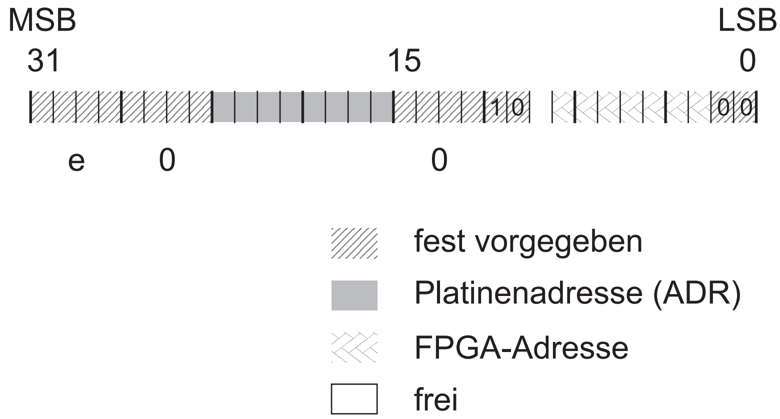


Abb. 7.13: Adressbusbelegung für das Triggerlogikmodul

Version Da es verschiedene FPGA-Designs gibt, kann die Version mit einem Lesezugriff auf Adresse 0 ausgelesen werden. Bit 0-7 (MSB) des Datenbusses geben die Nummer der Version an, die vom Typ "X" ist, der durch Bit 8-15 (MSB) definiert wird. Dadurch können z.B. verschiedene Designer unterschieden werden.

RAM Die Triggerlogik wird durch fünf RAM-Bausteine definiert. Bei der Programmierung der Logik über den VME-Bus wird der Inhalt des RAMs neu definiert. Dazu erfolgt ein Schreibzugriff auf die Adresse, welche den RAM auswählt. Bit 1 bis 4 (MSB) des Datenbusses definieren die Adresse der Speicherzelle des RAMs und Bit 0 das dazugehörige Datenbit. Somit sind 16 Schreibzugriffe notwendig, um einen RAM neu zu konfigurieren und 80 Schreibzugriffe für die gesamte Logik. Tabelle 7.2 gibt Werte für Funktionen an, mit denen ein RAM-Baustein programmiert werden kann. Es ist jede Wertetabelle möglich. Außerdem lassen sich die RAM-Bausteine bei entsprechender Adresswahl gleichzeitig programmieren. Die Voreinstellung ist ein ODER für 16 Eingänge.

Tab. 7.2: Werte, die in das RAM an die gegebene Adresse geschrieben werden müssen, um eine UND-, ODER bzw. eine EXKLUSIV-ODER-Funktion über vier Triggereingangskanäle zu implementieren.

	UND	ODER	EXK.-ODER
Adresse	Datenbit	Datenbit	Datenbit
0	0	0	0
1	0	1	1
2	0	1	1
3	0	1	0
4	0	1	1
5	0	1	0
6	0	1	0
7	0	1	0
8	0	1	1
9	0	1	0
10	0	1	0
11	0	1	0
12	0	1	0
13	0	1	0
14	0	1	0
15	1	1	0

Pulslänge Die Pulslänge des generierten Triggerpulses kann in den Grenzen von ca. 40 bis 120 ns in 16 Schritten von je 5 ns variiert werden (s. Abb. 7.14). Bei einem Schreibzugriff auf diese Adresse geben die Bits 0 bis 3 (MSB) des Datenbusses den Wert der Pulslänge an – 0 für die minimale und f (hexadizimal) für die maximale Länge. In der Voreinstellung ist die minimale Pulslänge von 40 ns programmiert.

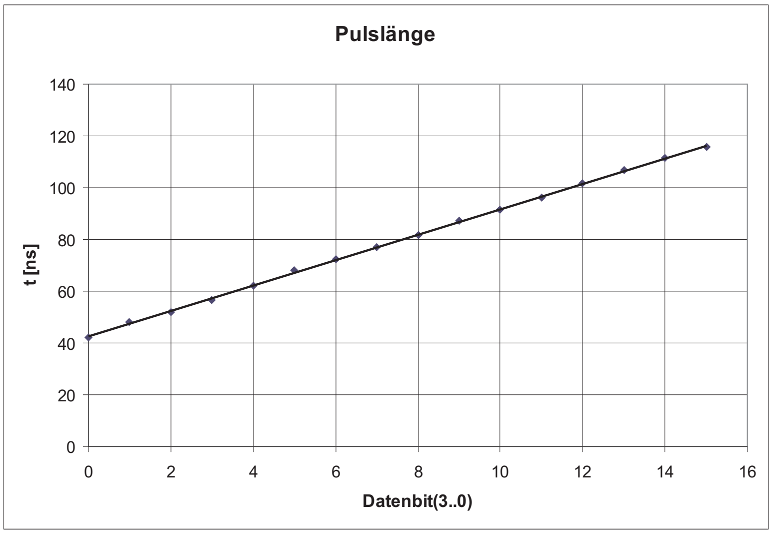


Abb. 7.14: Programmierbare Pulslängen der Triggerlogikmoduls (Simulation)

Dekoder Jeder der 16 Eingangskanäle ist mit einem Verzögerungsbaustein ausgestattet, der mit einer 10 Bit breiten Zahl $x = 0..3ff$ (hexadezimal) programmiert werden kann, woraus sich eine Verzögerungszeit von:

$$\Delta t_{\text{Platine}} = x \times 10\,\text{ps}$$

ergibt [69]. Adressiert werden die Bausteine mit einem Vier-nach-16-Dekoder. Die Adresse enthält zwei Informationen. Zum einen bezeichnet sie prinzipiell einen Zugriff auf einen Verzögerungsbaustein (0100), und zum anderen adressiert sie einen Triggereingangskanal (0..f).

Tab. 7.3: Funktionsbeschreibung der Ein- und Ausgänge des Triggerlogikmoduls

#	Signal-bez.	Pegel-standard	Ein-/Ausgang	Funktion
1	TRG	LVPECL	A	Auslösepuls
2	GATE	LVPECL	A	Veto
3	SYNC	LVPECL	A	Beginn einer Messreihe
4	CLK	PECL	A	Systemtakt
5	GND	–	–	GND für #1,#2,#3,#4
6	GATE	NIM	E	geht synchron an #2,#10
7	SYNC	NIM	E	geht synchron an #3,#11
8	RESET	NIM	E	geht synchron an #13
9	TRG	NIM	A	Auslösepuls analog #1
10	GATE	NIM	A	Veto analog #2
11	SYNC	NIM	A	Beginn einer Messreihe analog #3
12	TRG'	NIM	A	Auslösepuls generiert aus #14-#17
13	RESET	NIM	A	Zurücksetzen
14	0	NIM	E	Eingangskanal 0
15	1	NIM	E	Eingangskanal 1
16	2	NIM	E	Eingangskanal 2
17	3	NIM	E	Eingangskanal 3
18	4	NIM	E	Eingangskanal 4
19	5	NIM	E	Eingangskanal 5
20	6	NIM	E	Eingangskanal 6
21	7	NIM	E	Eingangskanal 7
22	8	NIM	E	Eingangskanal 8
23	9	NIM	E	Eingangskanal 9
24	10	NIM	E	Eingangskanal 10
25	11	NIM	E	Eingangskanal 11
26	12	NIM	E	Eingangskanal 12
27	13	NIM	E	Eingangskanal 13
28	14	NIM	E	Eingangskanal 14
29	15	NIM	E	Eingangskanal 15

7.7 Handhabung

Die Beschriftung aller Frontelemente des Triggerlogikmoduls auf der Frontplatte lassen eine eindeutige Zuordnung aller Eingänge, Ausgänge und LEDs zu (s. Anh. B.3). TRG bezeichnet den Triggerpuls, der aus bis zu 16 Triggereingangskanälen generiert wird. TRG' bezeichnet den Triggerpuls generiert aus 4 Triggereingangskanälen (Kanal 0-3). Die NIM-Signale SYNC, GATE und RESET werden synchron zum Systemtakt als NIM- bzw. LVPECL-Signal (außer RESET) weitergegeben. Alle weiteren Funktionen wurden bereits in den vorherigen Abschnitten erläutert und sind in den Tabellen 7.3 und 7.4 zusammengefasst.

Tab. 7.4: Funktionsbeschreibung der Ein- und Ausgänge des Vorzählers

#	Signal	Pegel-standard	Ein-/Ausgang	Funktion
1	0	NIM	E	Eingangskanal Vorzähler 0
2	1	NIM	E	Eingangskanal Vorzähler 1
3	2	NIM	E	Eingangskanal Vorzähler 2
4	3	NIM	E	Eingangskanal Vorzähler 3
5	4	NIM	E	Eingangskanal Vorzähler 4
6	5	NIM	E	Eingangskanal Vorzähler 5
7	6	NIM	E	Eingangskanal Vorzähler 6
8	7	NIM	E	Eingangskanal Vorzähler 7
9	8	NIM	A	Ausgangskanal zu #1
10	9	NIM	A	Ausgangskanal zu #2
11	10	NIM	A	Ausgangskanal zu #3
12	11	NIM	A	Ausgangskanal zu #4
13	12	NIM	A	Ausgangskanal zu #5
14	13	NIM	A	Ausgangskanal zu #6
15	14	NIM	A	Ausgangskanal zu #7
16	15	NIM	A	Ausgangskanal zu #8

7.8 Ansicht

Abbildung 7.15 zeigt die Oberseite des fertigen Triggerlogikmoduls. Gut erkennbar sind der zentrale FPGA, der CPLD und die Oszillatoren sowie die NIM-Buchsen und VME-Stecker.

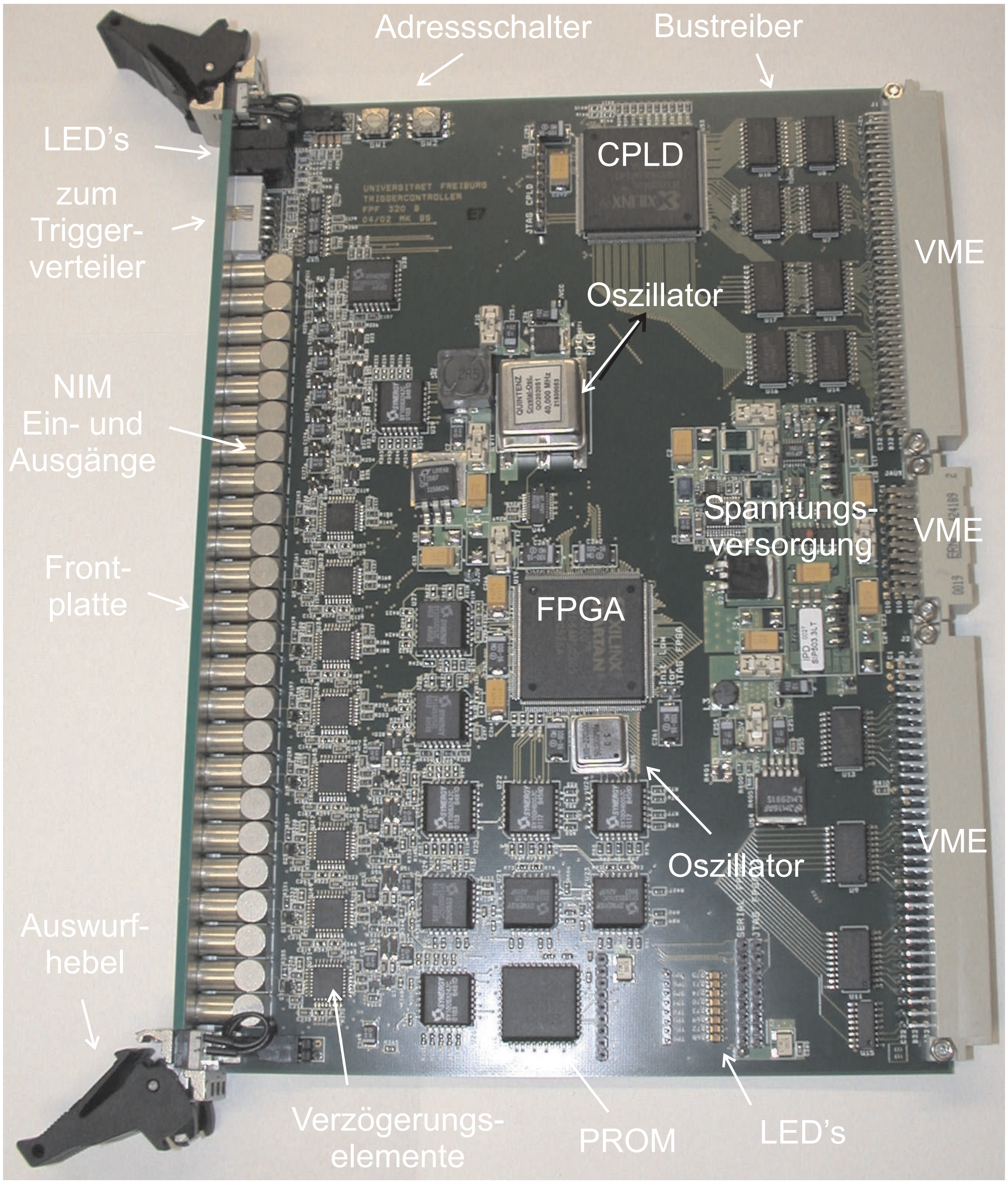


Abb. 7.15: Ansicht des fertigen Triggerlogikmoduls

Kapitel 8

Zusammenfassung

Das COMPASS-Experiment am CERN in Genf untersucht die Struktur von Materie, im Besonderen die Spinstruktur von Nukleonen. Dazu werden Photon-Gluon-Fusionsreaktionen untersucht, die bei tiefinelastischer Streuung von Myonen an Nukleonen auftreten. Mit der Photon-Gluon-Reaktion mit Übergang nach Open-Charm wird der Spinbeitrag der Gluonen zum Spin des Nukleons und die Gluonpolarisation gemessen. Der Wirkungsquerschnitt für diese Reaktion ist sehr klein. Um akzeptable statistische Fehler zu erzielen, wird eine große Luminosität angestrebt, die hohe Ereignisraten ermöglicht.

Bei Ausleseraten, die 50 kHz erreichen sollen und Ereignisgrößen von 30 kByte fallen einige hundert Terabyte pro Jahr an Daten an. Diese enormen Datenmengen stellen an das Auslesesystem von COMPASS enorme Anforderungen, die durch viele Neuentwicklungen erfüllt wurden.

Im Rahmen dieser Arbeit wurden zwei Ziele verfolgt:

- **Entwicklung eines Triggerverteilers als NIM-Modul**
- **Entwicklung eines Triggerlogikmoduls als VME-Modul**

Dadurch wird es möglich, einige leistungsfähige Elemente der Datenauslese des COMPASS-Experiments für die Labors der Kern- und Teilchenphysik zur Verfügung zu stellen oder für kleine Forschungs- und Entwicklungsprojekte zu nutzen. Die eigenständige kompakte Datenauslese ist sehr flexibel durch verschiedene Anpassungsmöglichkeiten. Die Module konnten erfolgreich in die bereits bestehende Architektur an Ausleseelektronik eingepasst werden. Der Triggerverteiler diente als Einstieg für das weit komplexere Triggerlogikmodul. Die Komplexität wird durch die Programmierfähigkeit einiger Funktionen bedingt, die durch den Einsatz programmierbarer Bausteine erreicht wurde. Durch das Konzept einer eingeschränkt frei wählbaren Triggerbedingung werden dem Anwender des eigenständigen kompakten Datennahmesytems vielfältige Möglichkeiten verschafft.

Eine erste Anwendung des Triggerverteilermoduls bei Messungen am Crystal-Barrel-Experiment am Elektronenspeicherring ELSA der Universität Bonn zeigen gute Ergebnisse.

Anhang A

Triggerverteilermodul

A.1 Schaltplan

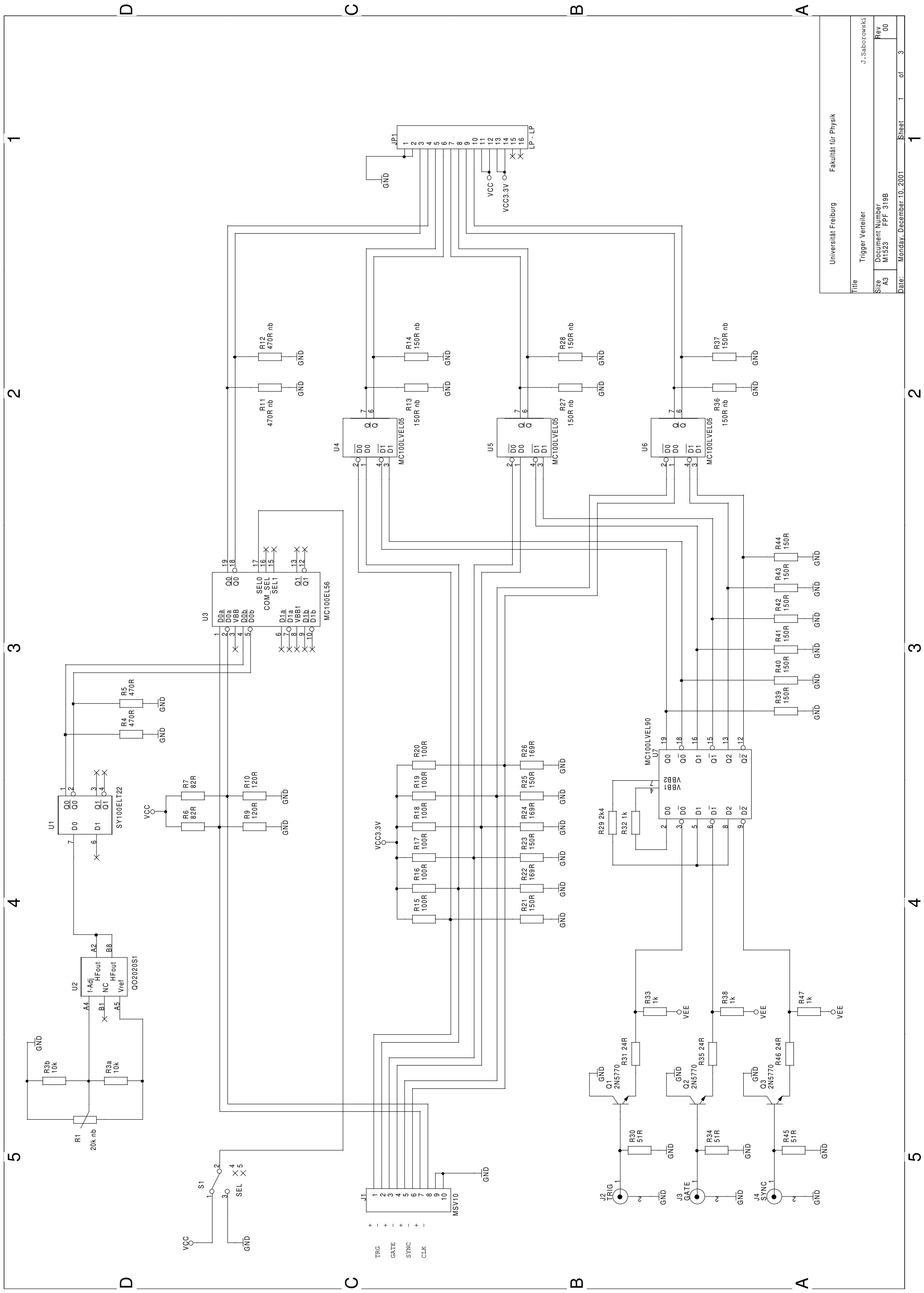


Abb. A.1: Schaltplan der Platine I des Triggerverteilermoduls

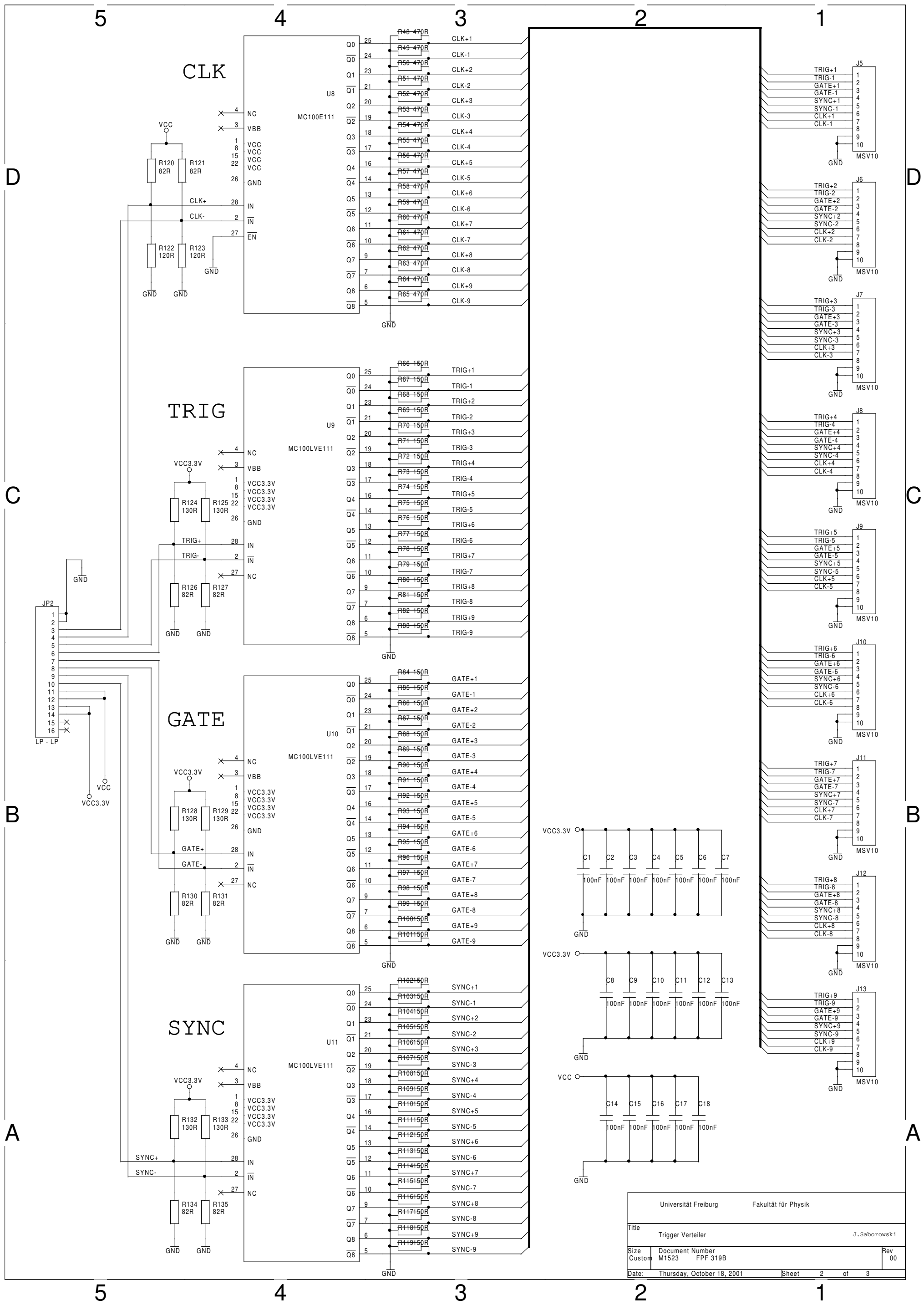


Abb. A.2: Schaltplan der Platine II des Triggerverteilermoduls

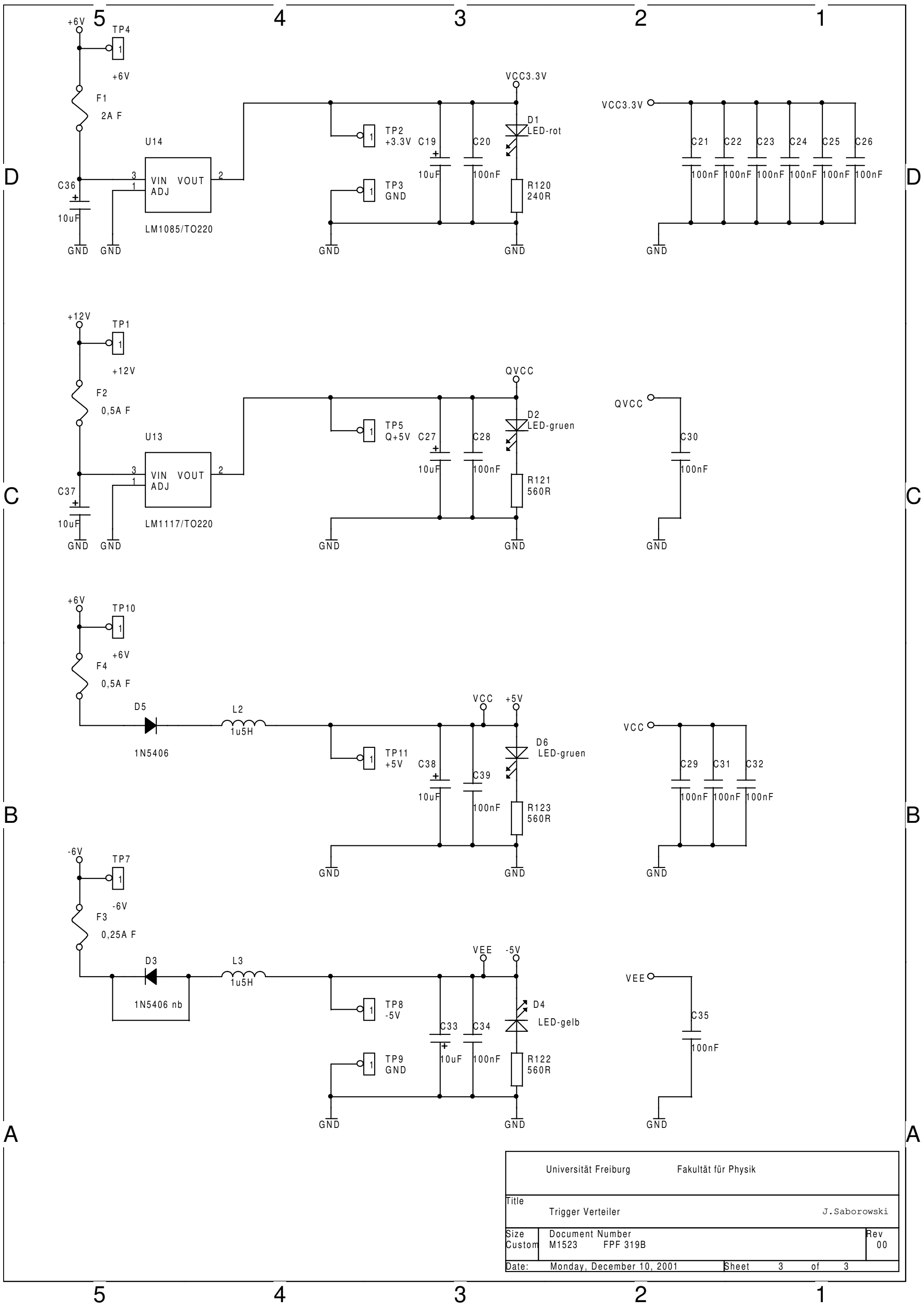


Abb. A.3: Schaltplan der Spannungsversorgung des Triggerverteilermoduls

A.2 Bestückung und Layout

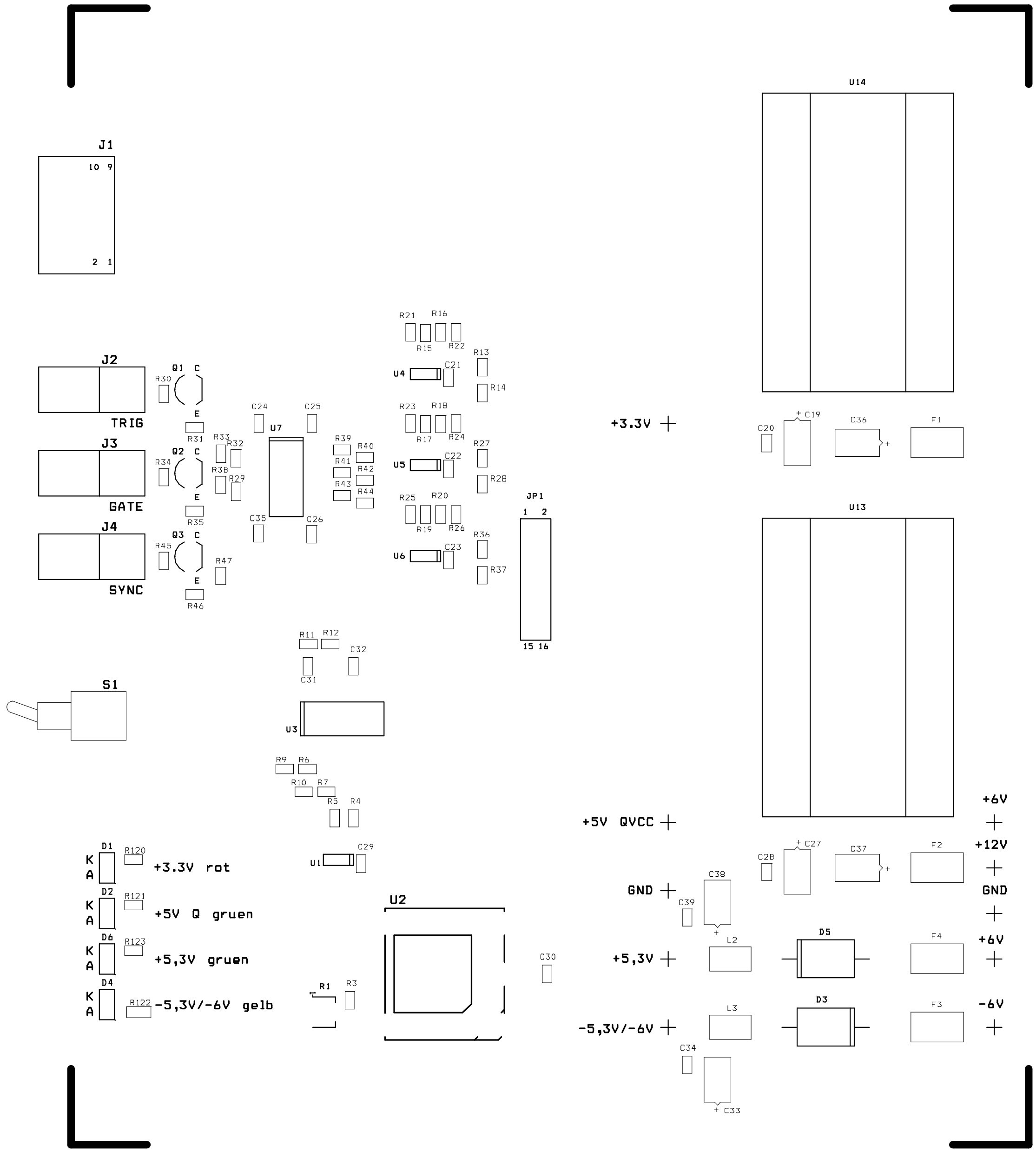


Abb. A.4: Bestückungsplan der Platine I des Triggerverteilermoduls

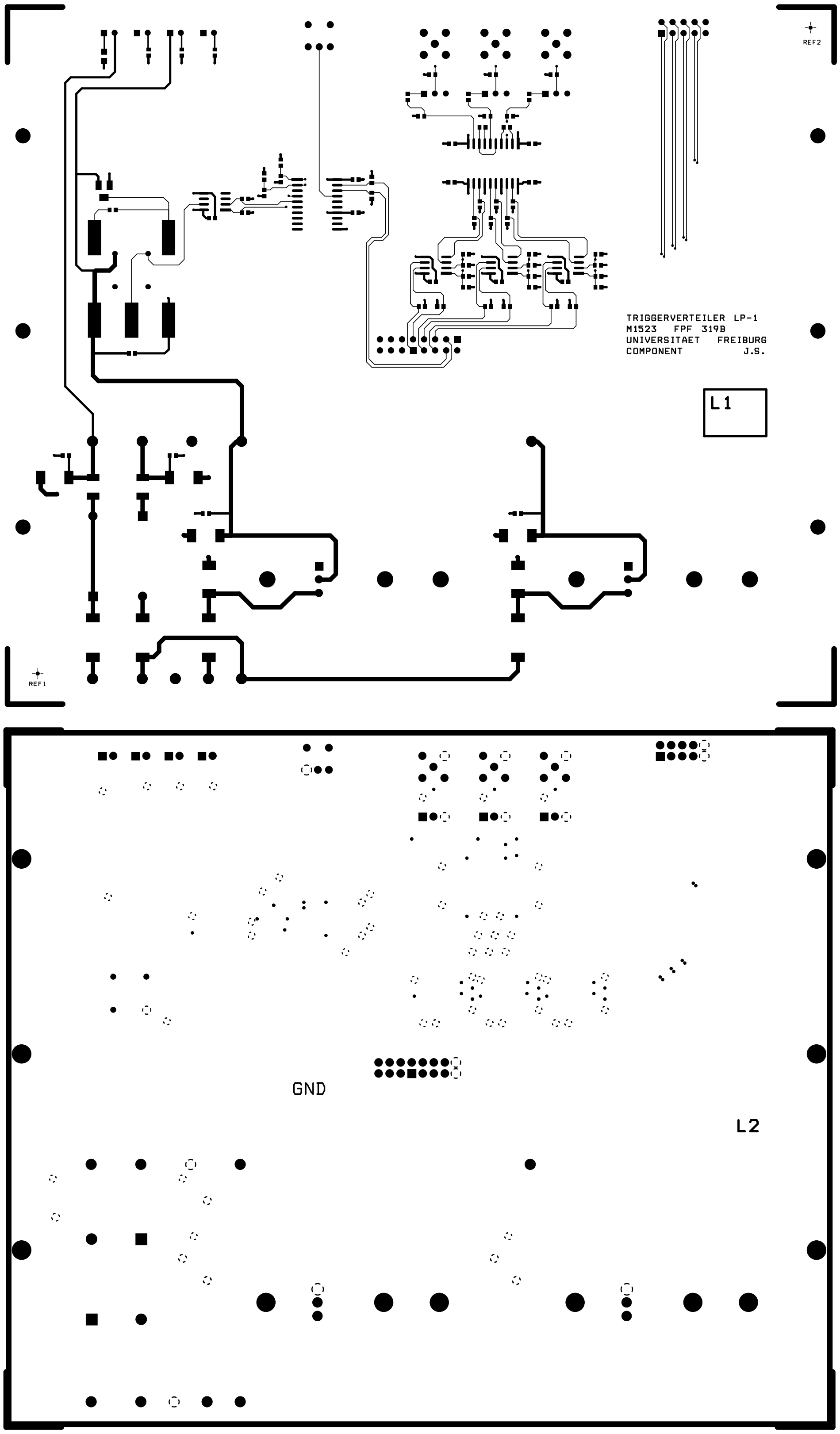


Abb. A.5: Bauteilseite und Massenebene (invertiert) der Platine I des Triggerverteilermoduls

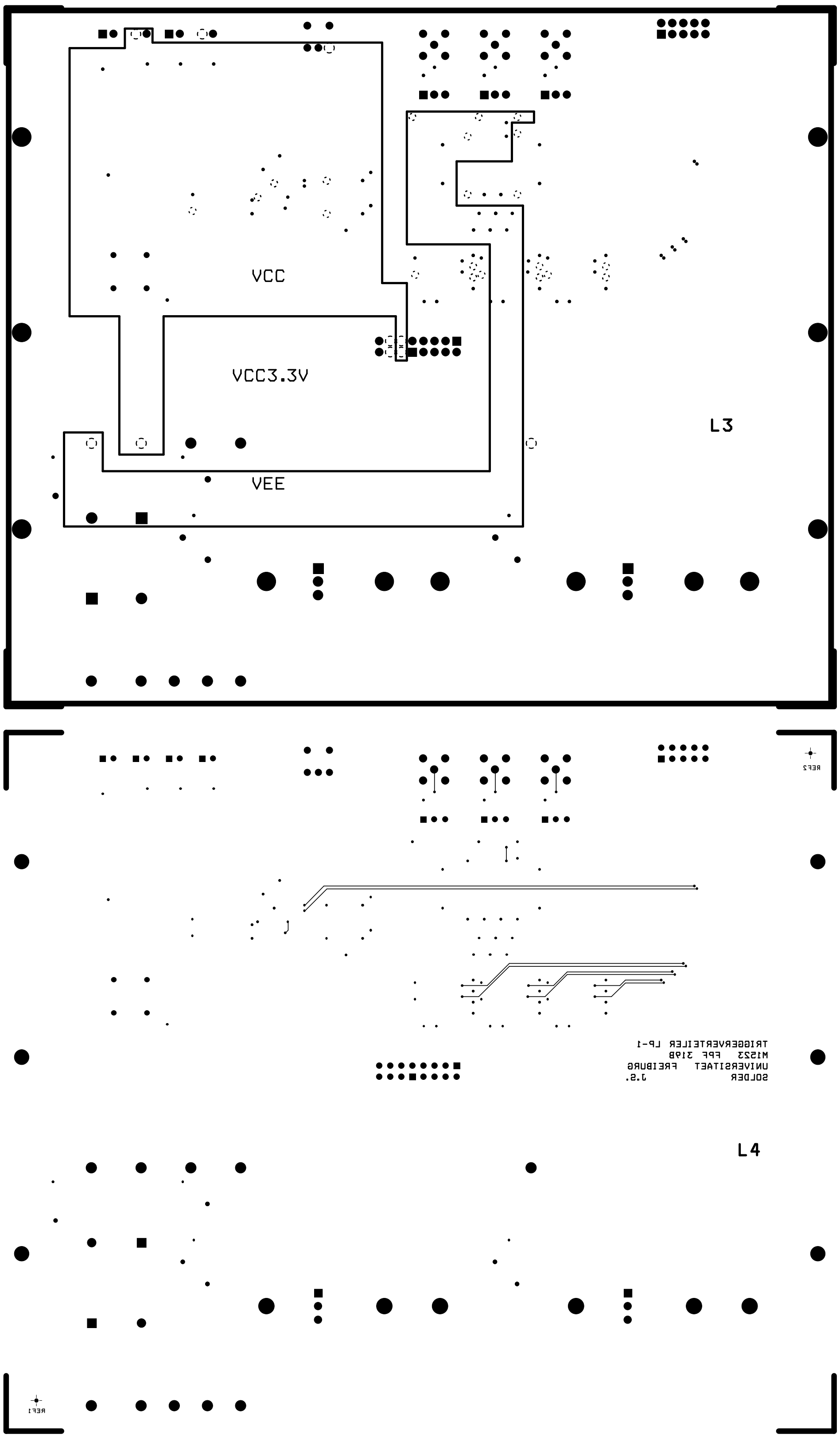


Abb. A.6: Betriebsspannungsebene (invertiert) und Lötseite der Platine I des Triggerverteilermoduls

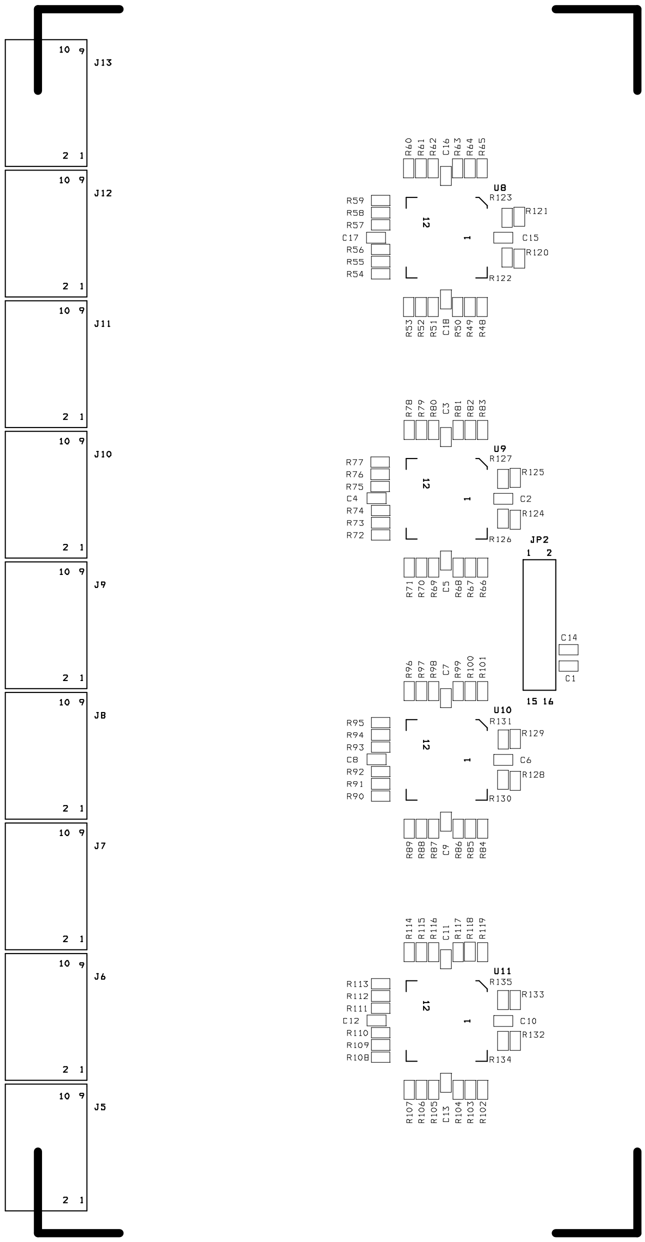


Abb. A.7: Bestückungsplan der Platine II des Triggerverteilermoduls

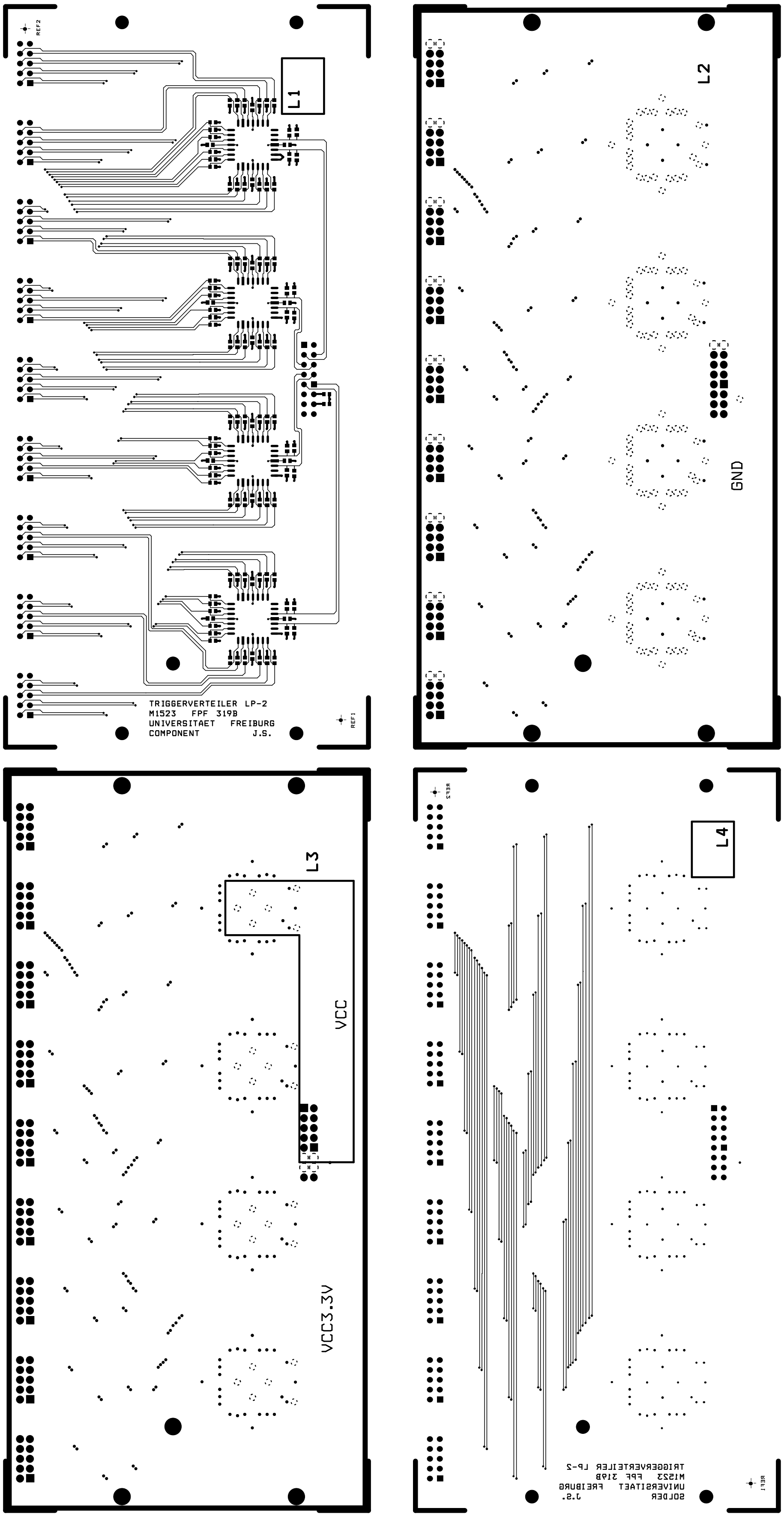


Abb. A.8: Layouts der Platine II des Triggerverteilermoduls

A.3 Frontplatte

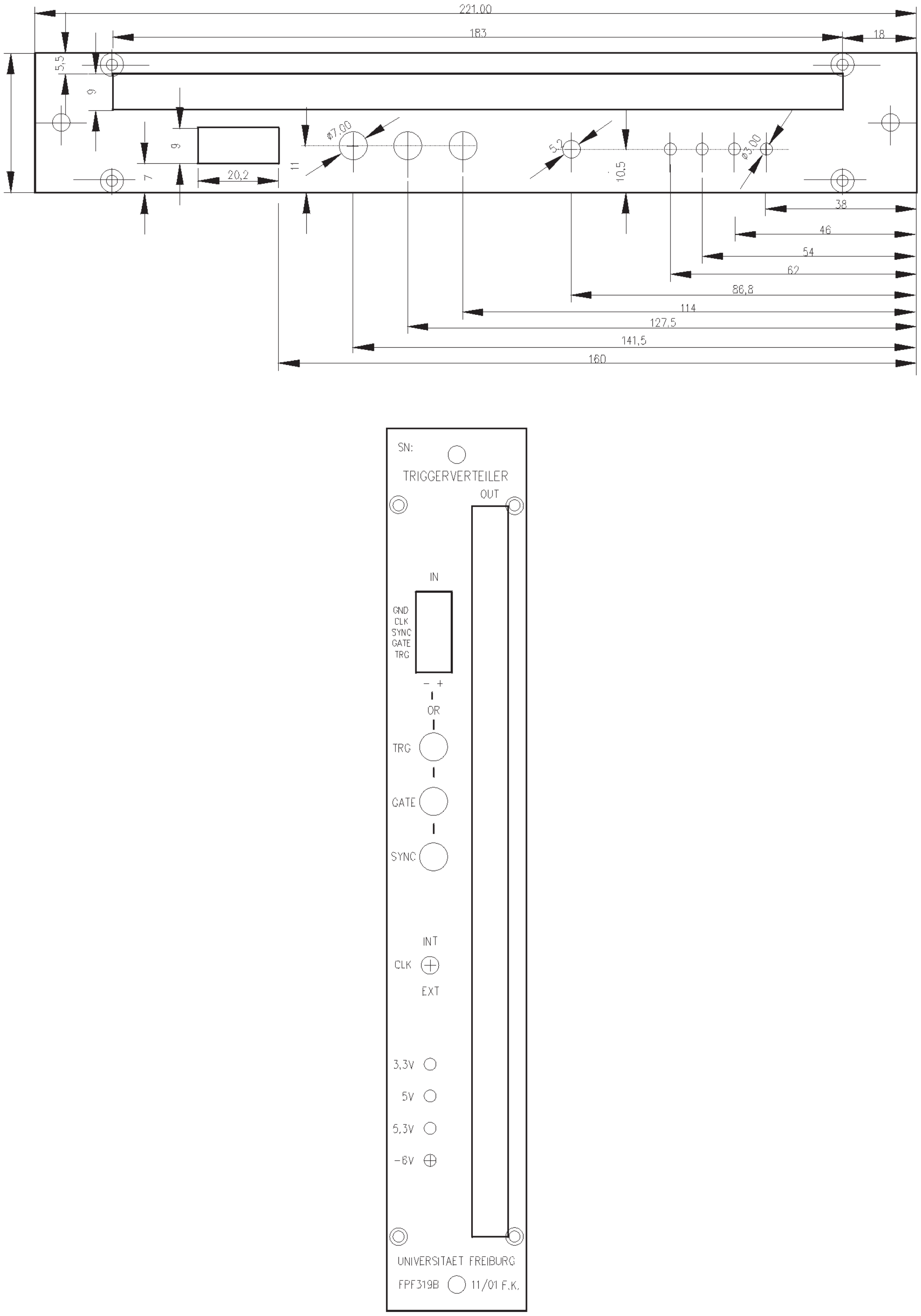


Abb. A.9: Maße und Aufdruck der Frontplatte des Triggerverteilermoduls

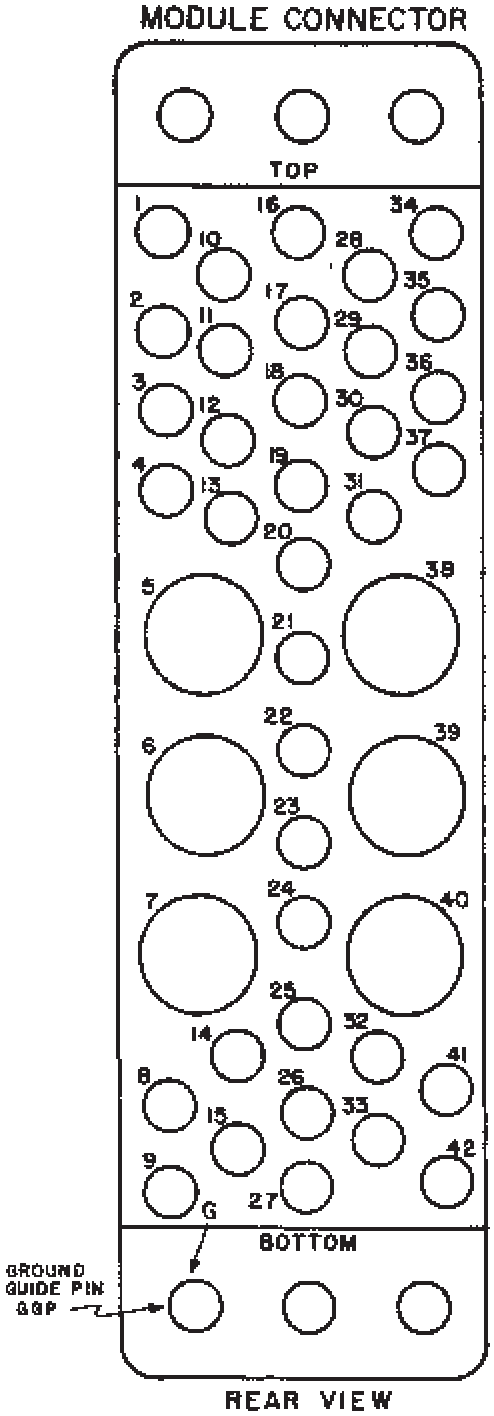
A.4 Signalstandards

Tab. A.1: Typische Werte einiger Signalstandards bei 25 °C (V_{IL} bzw. V_{OL} bezeichnet Eingangs- bzw. Ausgangsspannung für logisch null, V_{IH} bzw. V_{OH} bezeichnet Eingangs- bzw. Ausgangsspannung für logisch eins)

Baureihe (Hersteller)	V_{IL} [V]	V_{IH} [V]	V_{OL} [V]	V_{OH} [V]
TTL: $V_{CC} = 5,0\,V$				
SY (Micrel)	0,0-0,8	2,0-5,0	0,0-0,5	2,5-5,0
CY (Cypress)	0,0-0,8	2,0-5,0	0,0-0,4	2,4-5,0
LVTTL: $V_{CC} = 3,3\,V$				
SY (Micrel)	0,0-0,8	2,0-3,3	0,0-0,5	2,5-3,3
SN54LVTH (TI)	0,0-0,8	2,0-3,3	0,0-0,4	3,1-3,3
SN74LVTH (TI)	0,0-0,8	2,0-3,3	0,0-0,4	3,1-3,3
CMOS: $V_{CC} = 5,0\,V$				
CMOS 4000B	0,0-0,4	4,4-5,0	0,0-0,4	4,4-5,0
HCMOS: $V_{CC} = 5,0\,V$				
–	0,0-0,1	4,4-5,0	0,0-0,1	4,4-5,0
PECL-Modus: $V_{CC} = 5,0\,V$				
ECLinPS Plus 10EP	3,130-3,455	3,855-4,180	3,130-3,380	3,930-4,180
ECLinPS Plus 100EP	3,055-3,375	3,775-4,120	3,055-3,305	3,855-4,105
ECLinPS Lite 10EL	3,050-3,520	3,870-4,190	3,050-3,370	4,020-4,190
ECLinPS Lite 100EL	3,190-3,525	3,835-4,120	3,190-3,380	3,975-4,120
SY10ELT	3,050-3,520	3,870-4,190	3,050-3,370	4,020-4,190
SY100ELT	3,190-3,525	3,835-4,120	3,190-3,380	3,975-4,120
LVPECL-Modus: $V_{CC} = 3,3\,V$				
MC100LVEL	1,430-1,755	2,155-2,480	1,490-1,680	2,275-2,420
ECLinPS Plus 10EP	1,430-1,755	2,155-2,480	1,430-1,680	2,230-2,480
ECLinPS Plus 100EP	1,355-1,675	2,075-2,420	1,355-1,605	2,155-2,405
SY10ELT	1,350-1,670	2,075-2,420	1,350-1,670	2,320-2,490
SY100ELT	1,350-1,670	2,075-2,420	1,490-1,680	2,275-2,420
ECLinPS Plus 100LVEL	1,490-1,825	2,135-2,420	1,490-1,680	2,275-2,420
NECL-Modus: $V_{CC} = -5,0\,V$				
MC10	-1,850 - -1,650	-0,960 - -0,810	-1,850 - -1,650	-0,960 - -0,810
ECLinPS Plus 10EP	-1,870 - -1,545	-1,145 - -0,820	-1,870 - -1,620	-1,070 - -0,820
ECLinPS Plus 100EP	-1,945 - -1,625	-1,225 - -0,880	-1,945 - -1,695	-1,145 - -0,895
ECLinPS Lite 10EL	-1,950 - -1,480	-1,130 - -0,810	-1,950 - -1,630	-0,980 - -0,810
ECLinPS Lite 100EL	-1,810 - -1,475	-1,165 - -0,880	-1,810 - -1,620	-1,025 - -0,880
SY100S	-1,810 - -1,475	-1,165 - -0,880	-1,810 - -1,620	-1,025 - -0,880
NIM: $V_{CC} = -5,0\,V$ (bezogen auf 50-Ω-Abschlusswiderstand)				
–	0,0	-0,8	0,0	-0,8
LVDS: $V_{CC} = 5,0\,V$				
–	1,1	1,4	1,1	1,4

A.5 NIM-Standard

Der NIM-Standard (DOE/ER-0457) definiert sowohl die Maße für das Gehäuse als auch die Belegung der Pins der Spannungsversorgung, sowie den Signalpegel [70].



Pin	Funktion
1	reserviert
2	reserviert
3	frei
4	reserviert
5	
6	
7	
8	$+200$ V
9	frei
10	$+6$ V (40 A)
11	-6 V (40 A)
12	reserviert
13	frei
14	frei
15	reserviert
16	$+12$ V (4 A)
17	-12 V (4 A)
18	frei
19	reserviert
20	frei
21	frei
22	reserviert
23	reserviert
24	reserviert
25	reserviert
26	frei
27	frei
28	$+24$ V (4 A)
29	-24 V (4 A)
30	frei
31	frei
32	frei
33	$\sim$ 115 V (hot, 50 W)
34	Masse (Betriebsspannung)
35	Reset
36	Gate
37	frei
38	
39	
40	
41	$\sim$ 115 V (neutral, 50 W)
42	Masse (sauber)
G	Führungspin

Abb. A.10 & **Tab. A.2:** Pinbelegung des NIM-Steckers

Anhang B

Triggerlogikmodul

B.1 Schaltplan

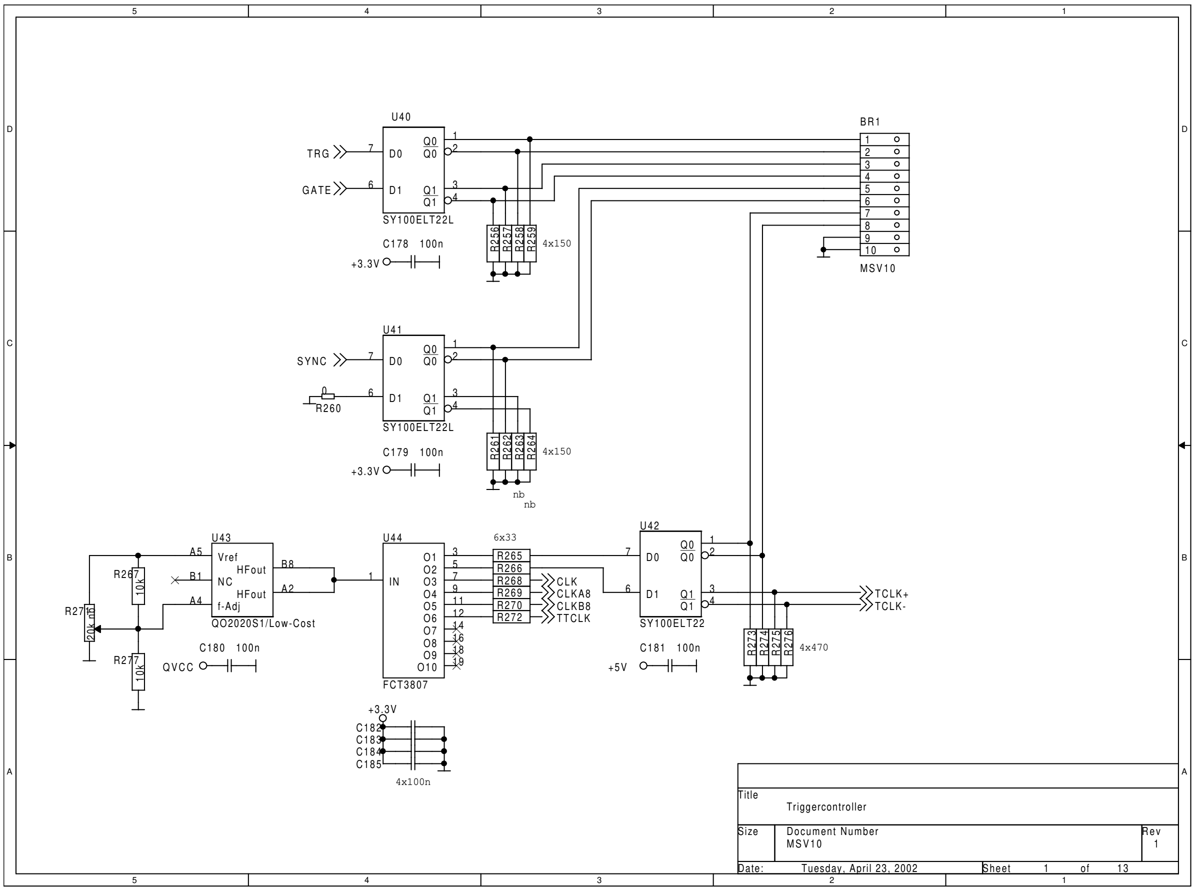


Abb. B.1: Schaltplan des Triggerlogikmoduls (Seite 1)

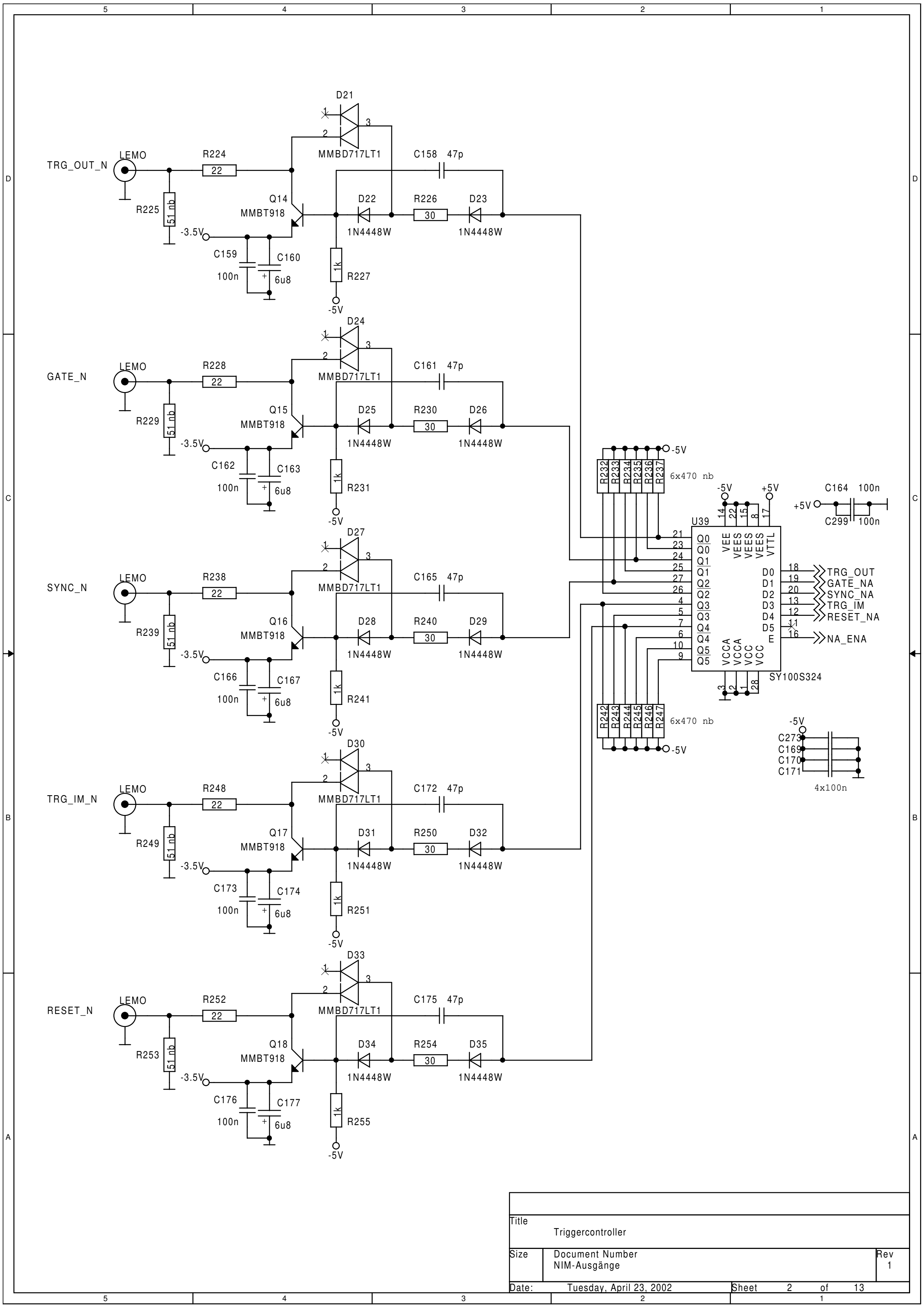


Abb. B.2: Schaltplan des Triggerlogikmoduls (Seite 2)

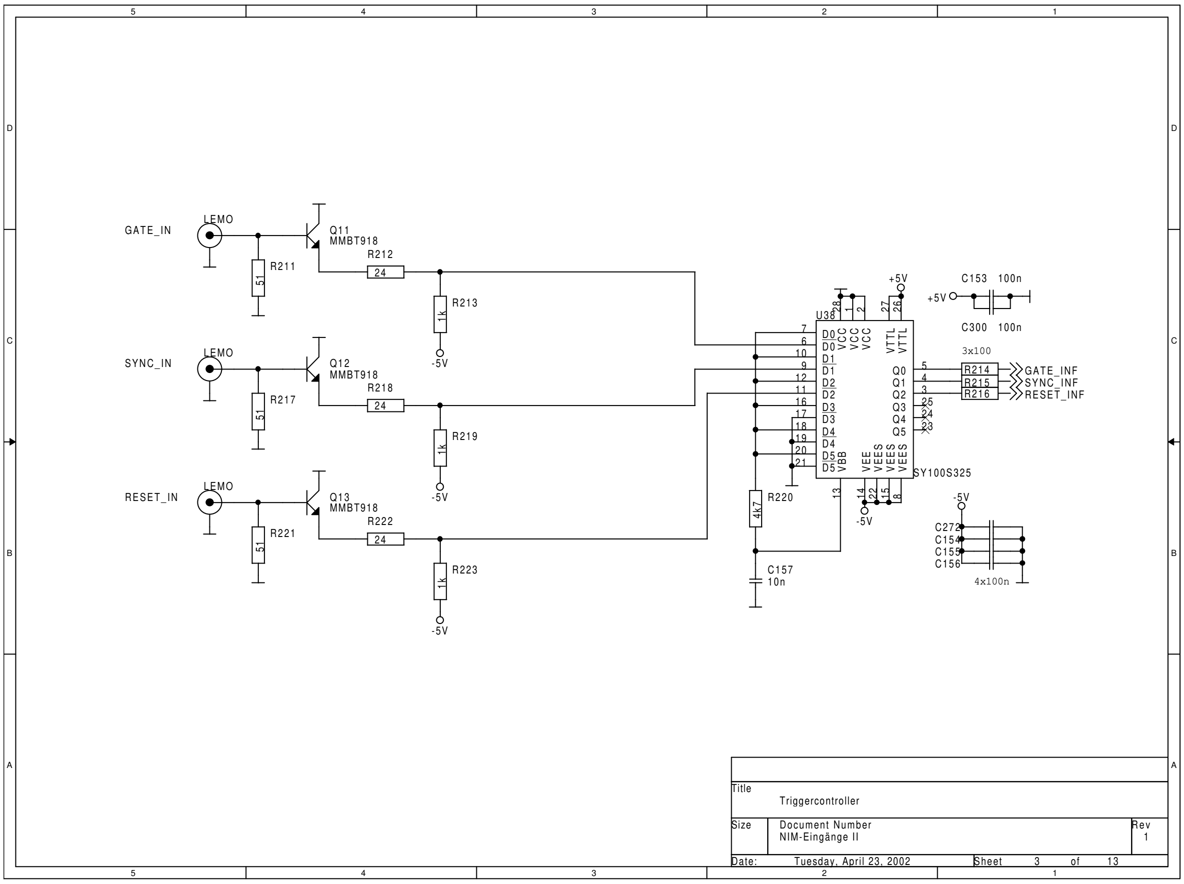
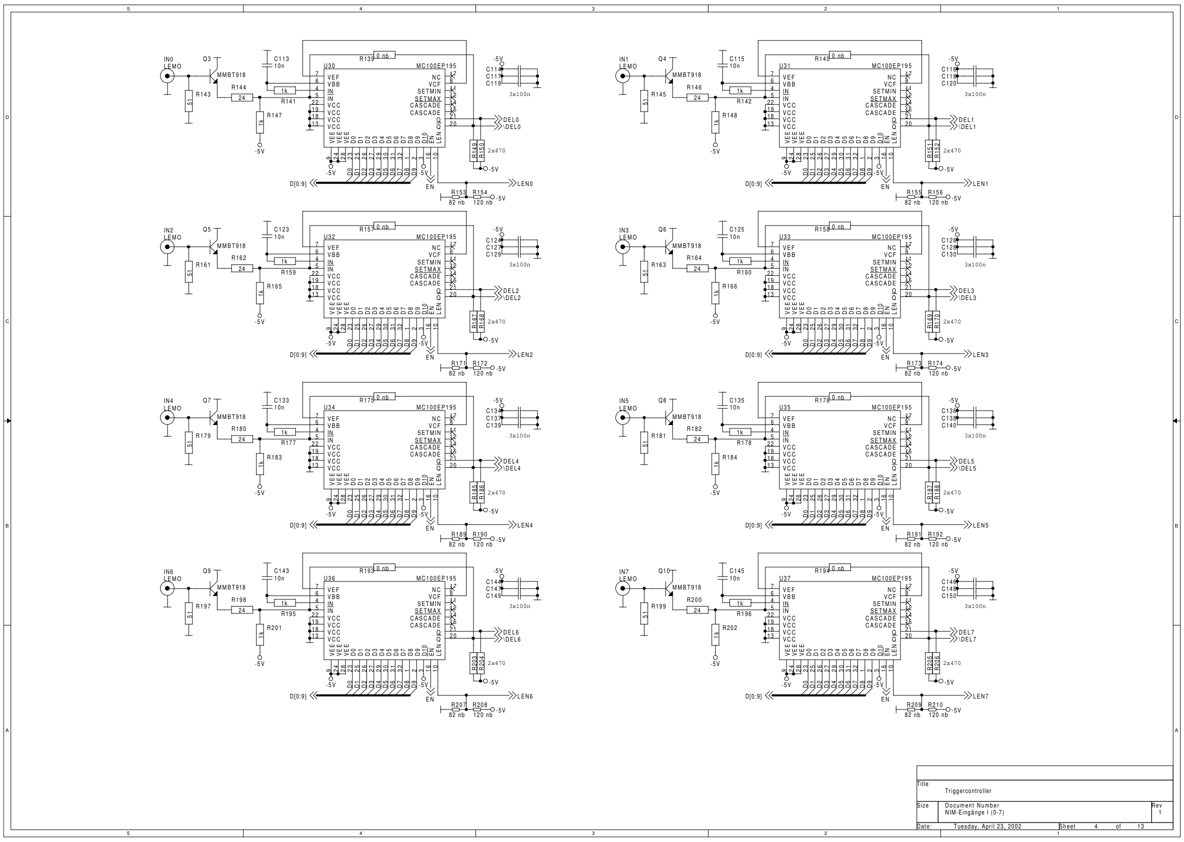


Abb. B.3: Schaltplan des Triggerlogikmoduls (Seite 3)



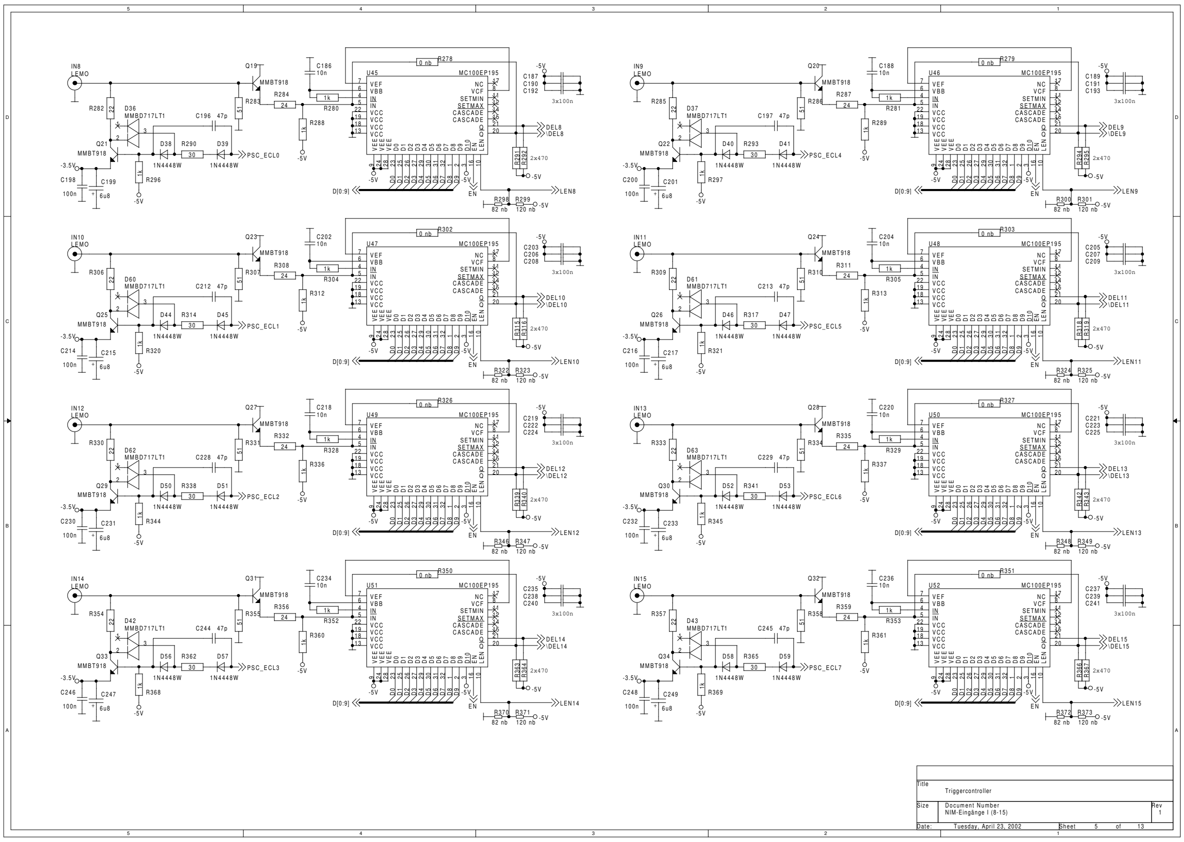


Abb. B.4: Schaltplan des Triggerlogikmoduls (Seite 4 und 5)

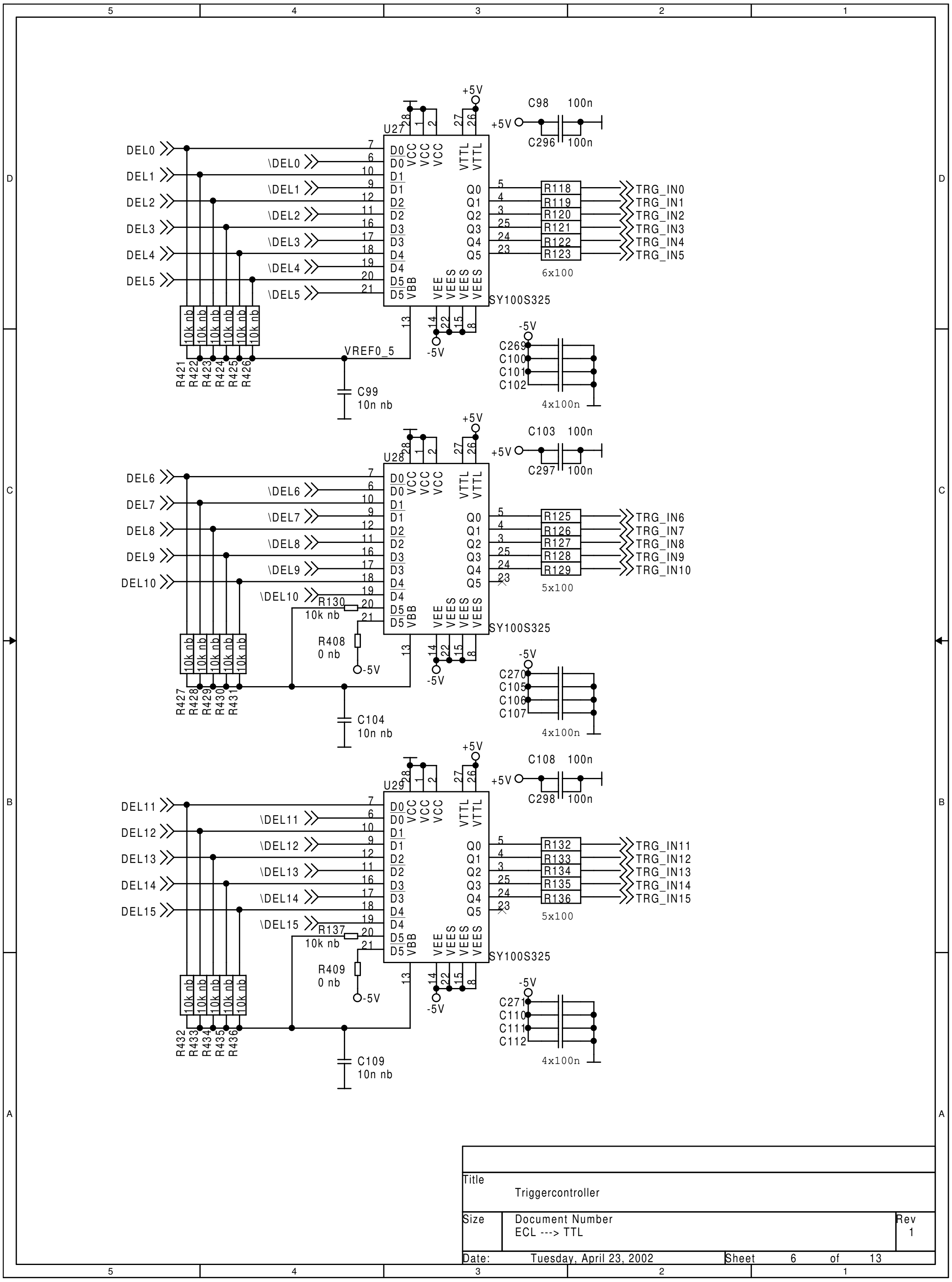


Abb. B.5: Schaltplan des Triggerlogikmoduls (Seite 6)

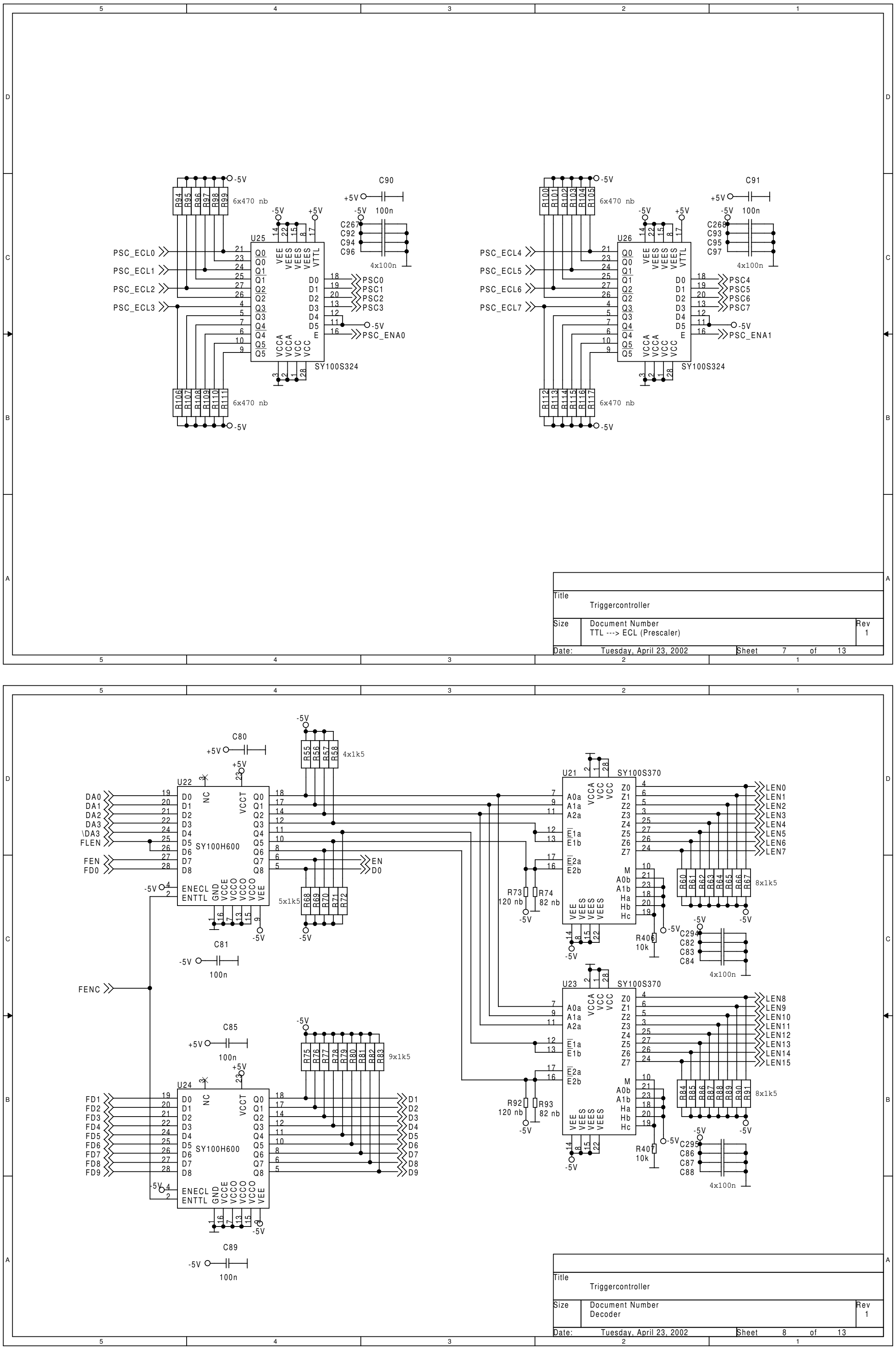


Abb. B.6: Schaltplan des Triggerlogikmoduls (Seite 7 und 8)

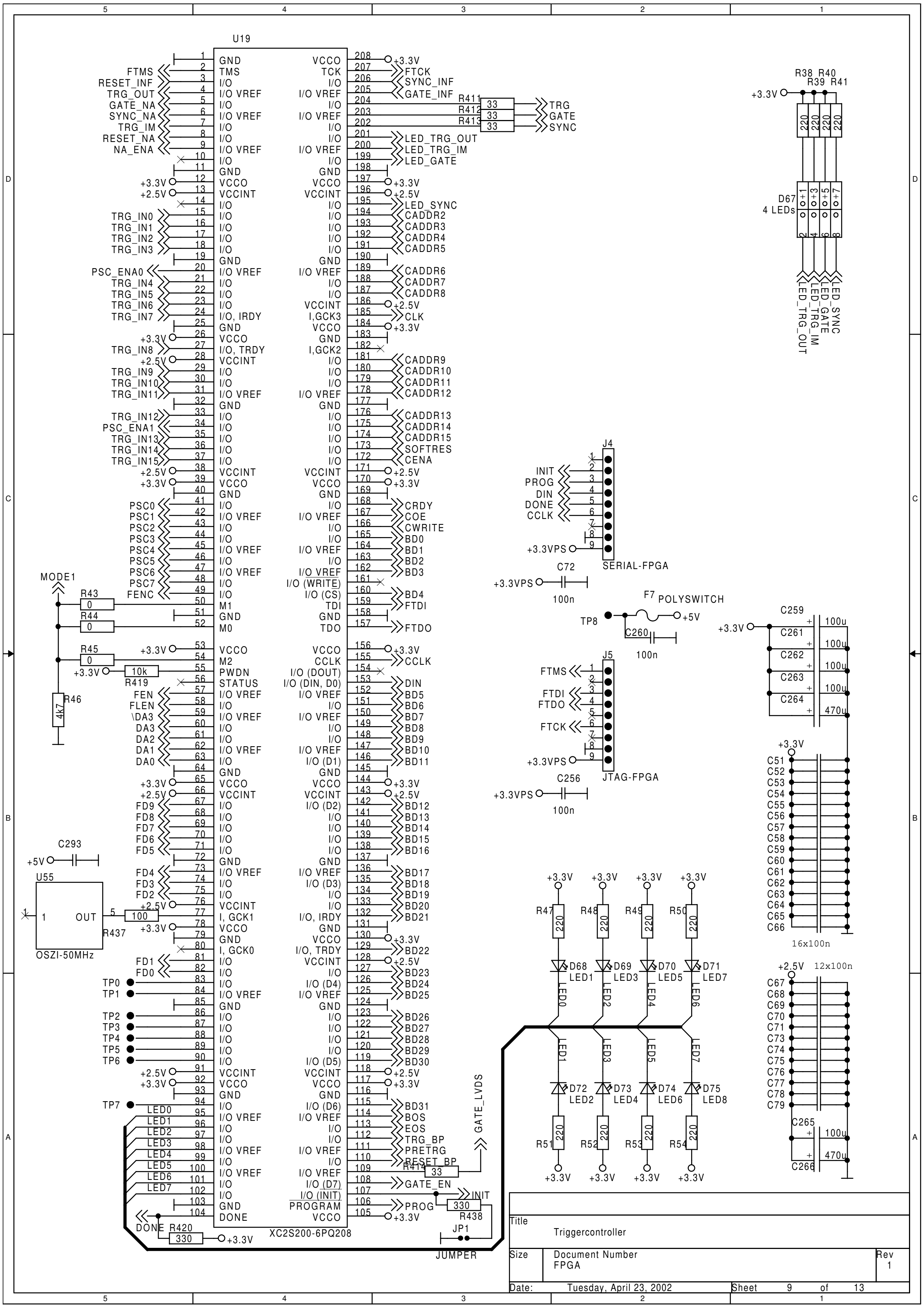


Abb. B.7: Schaltplan des Triggerlogikmoduls (Seite 9)

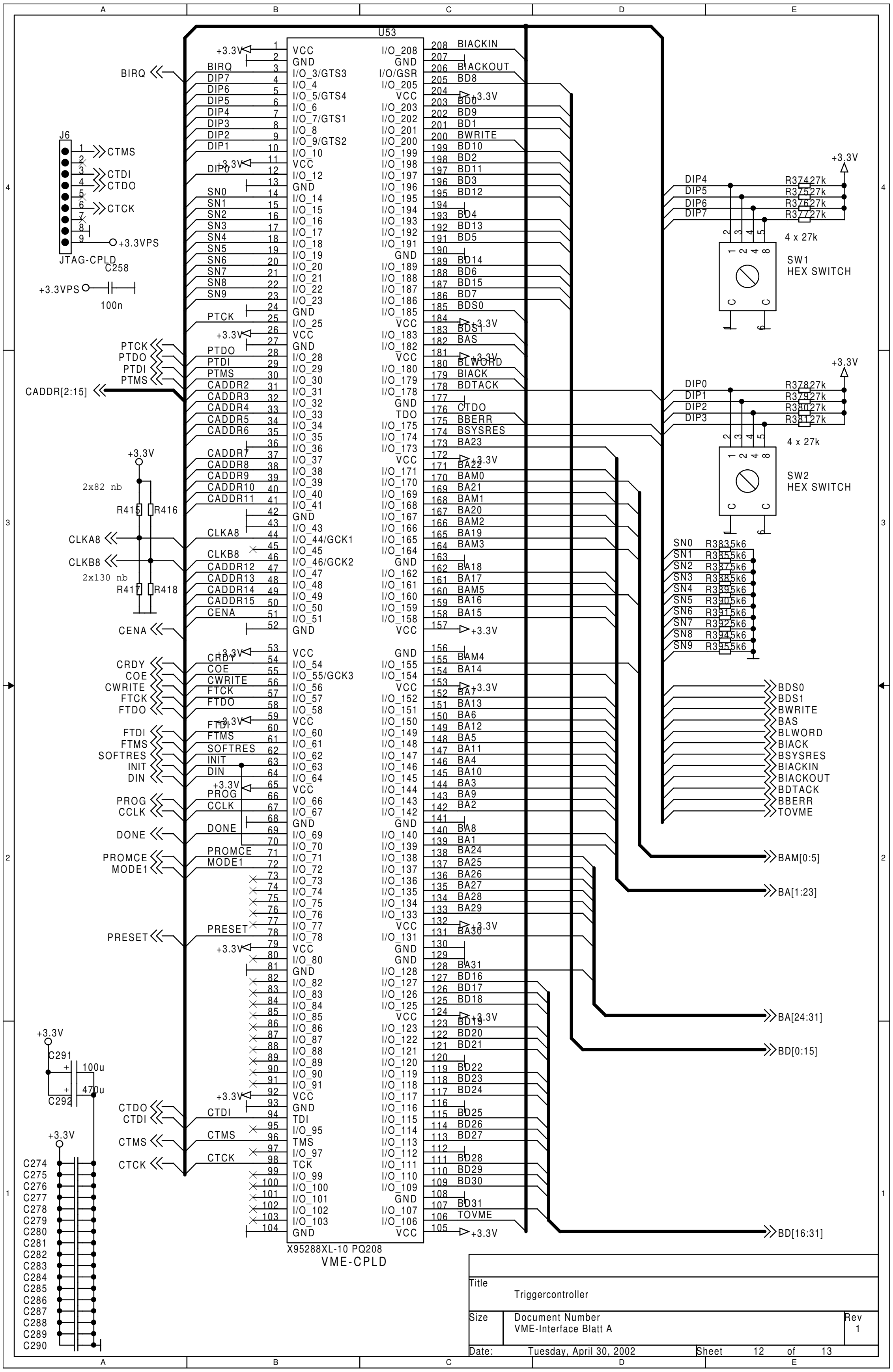
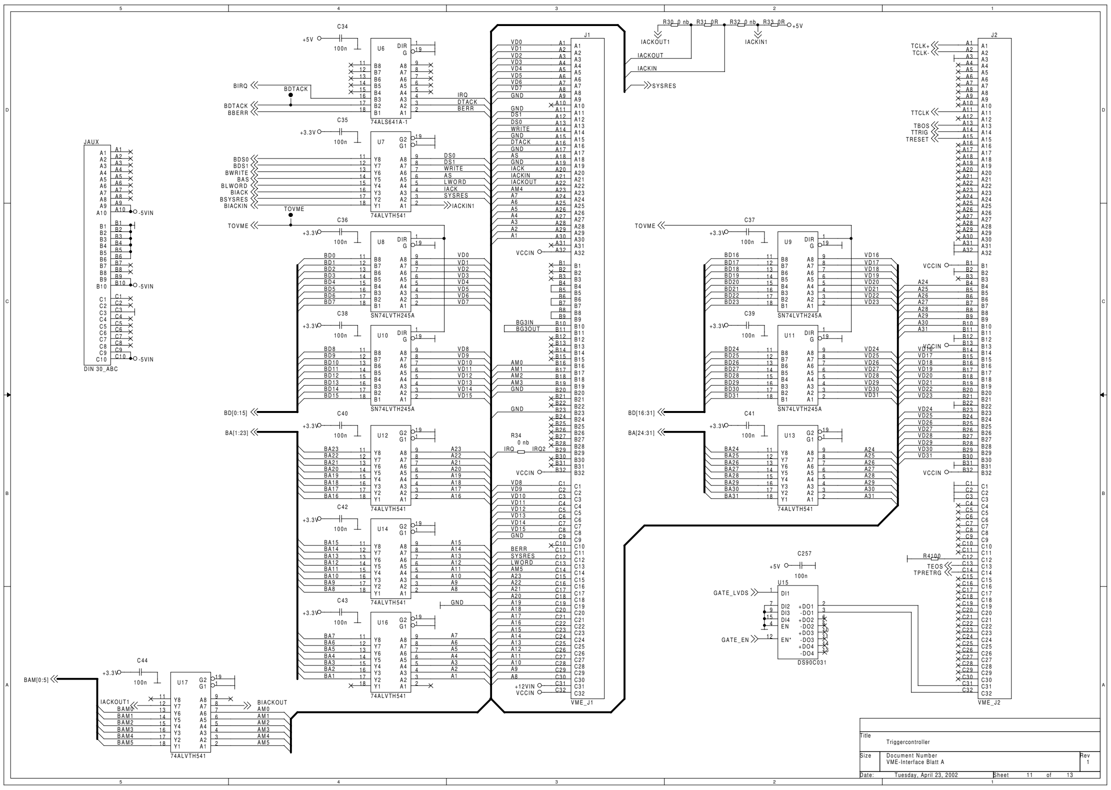


Abb. B.8: Schaltplan des Triggerlogikmoduls (Seite 10)



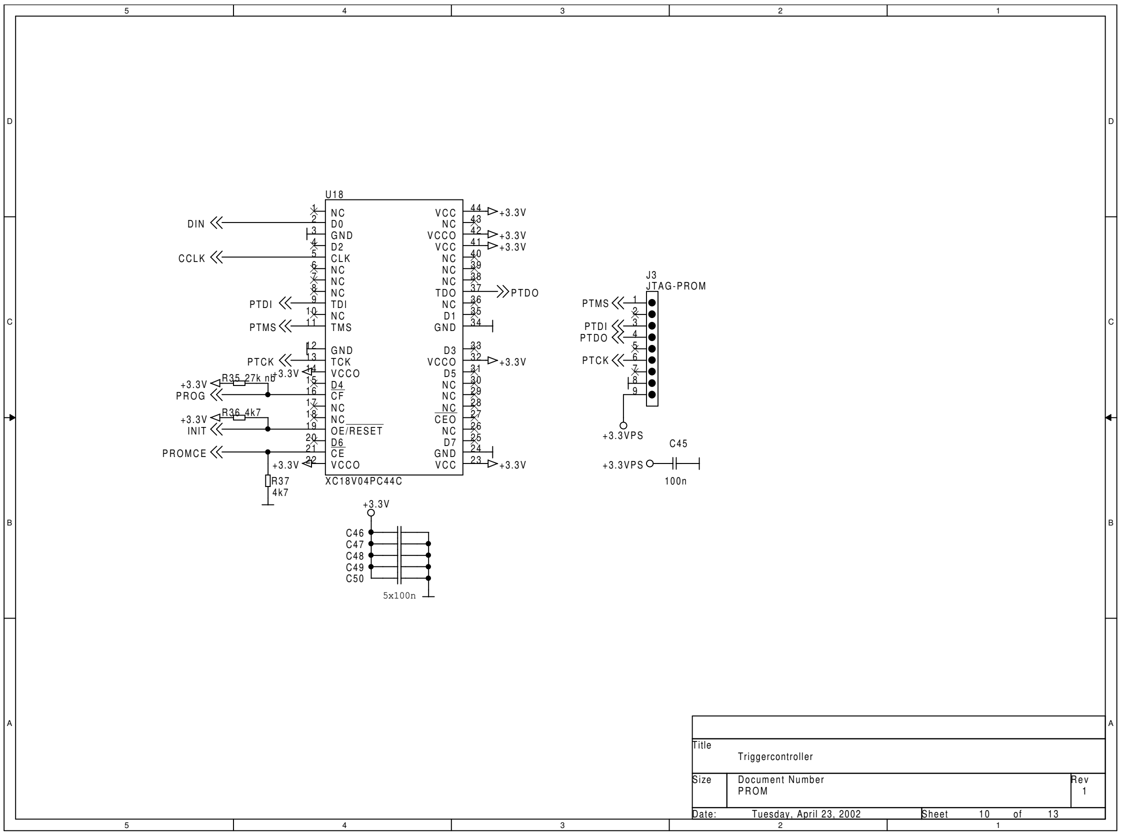


Abb. B.9: Schaltplan des Triggerlogikmoduls (Seite 11 und 12)

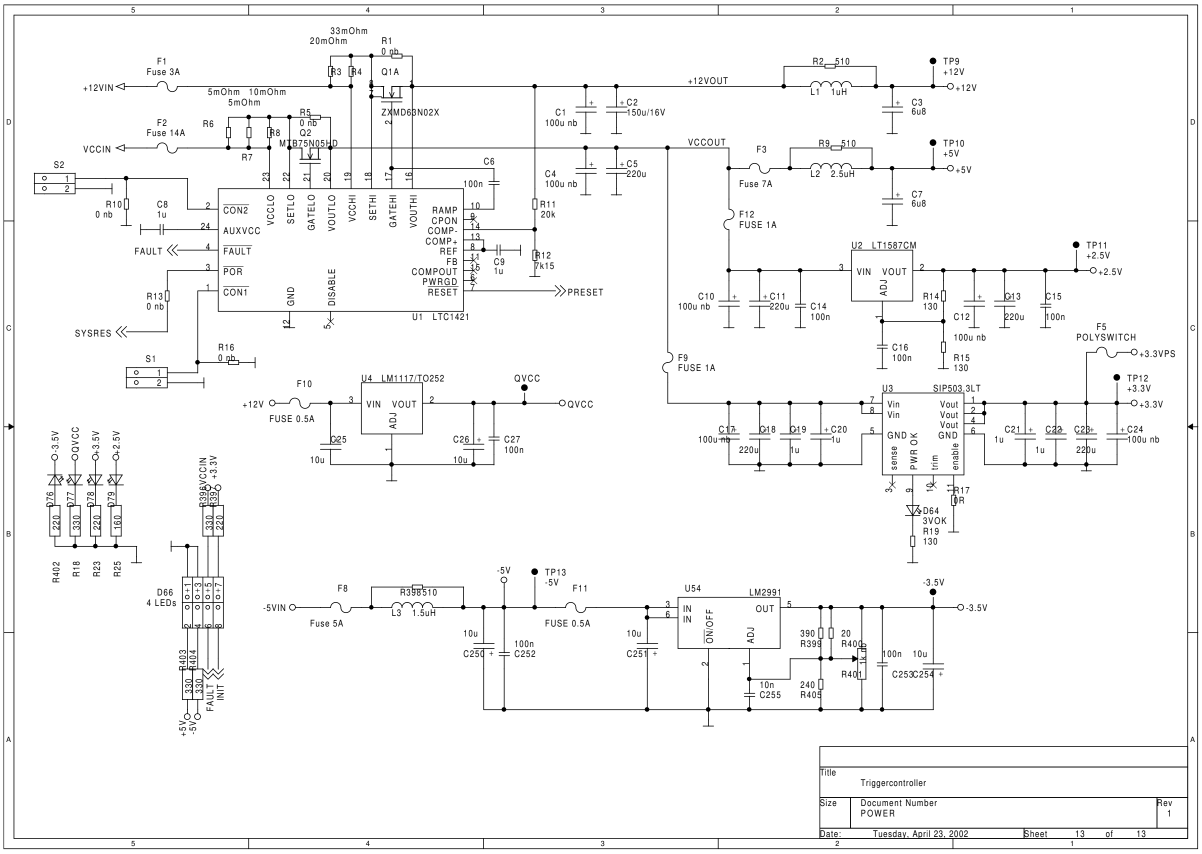


Abb. B.10: Schaltplan des Triggerlogikmoduls (Seite 13)

B.2 Bestückung und Layout

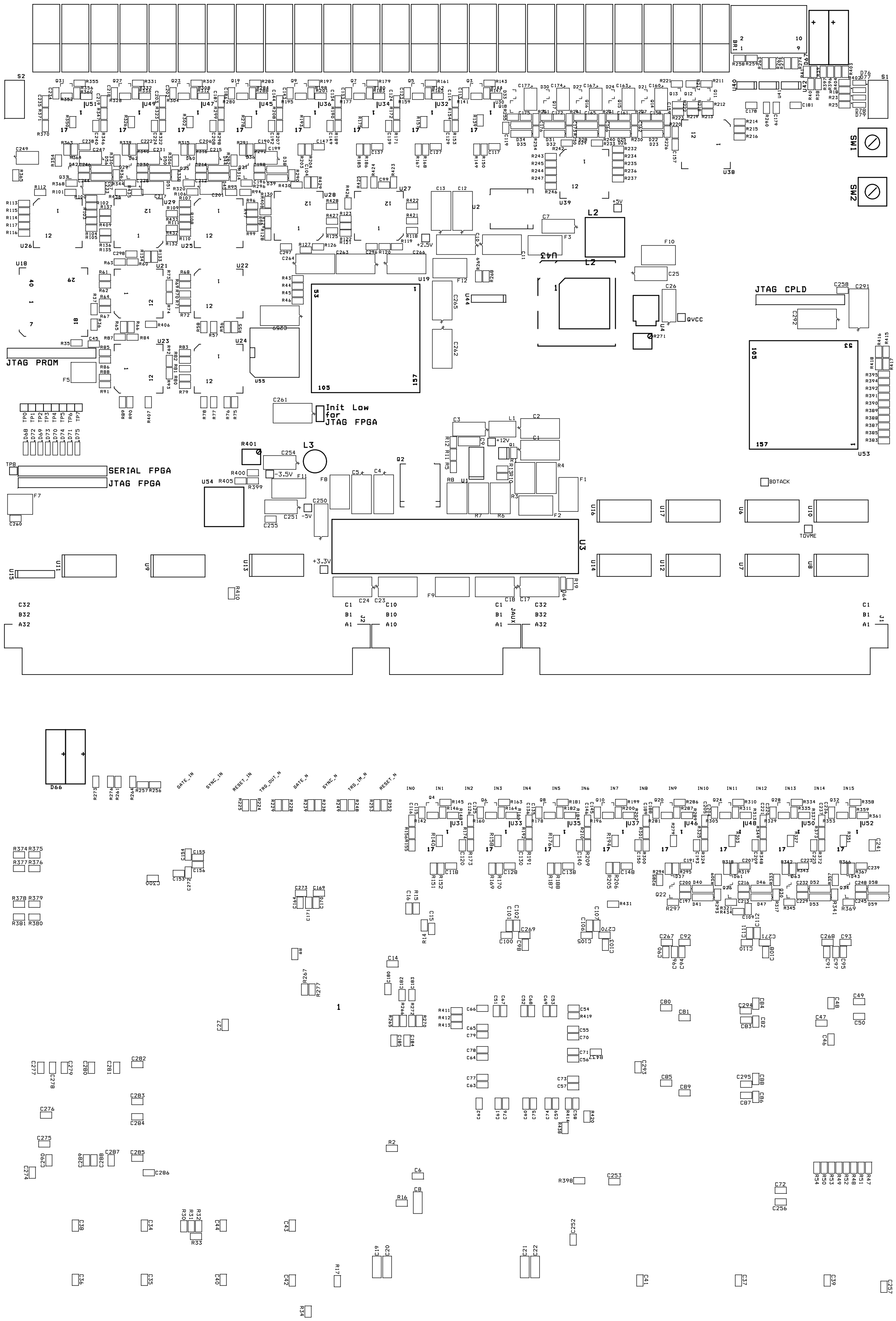
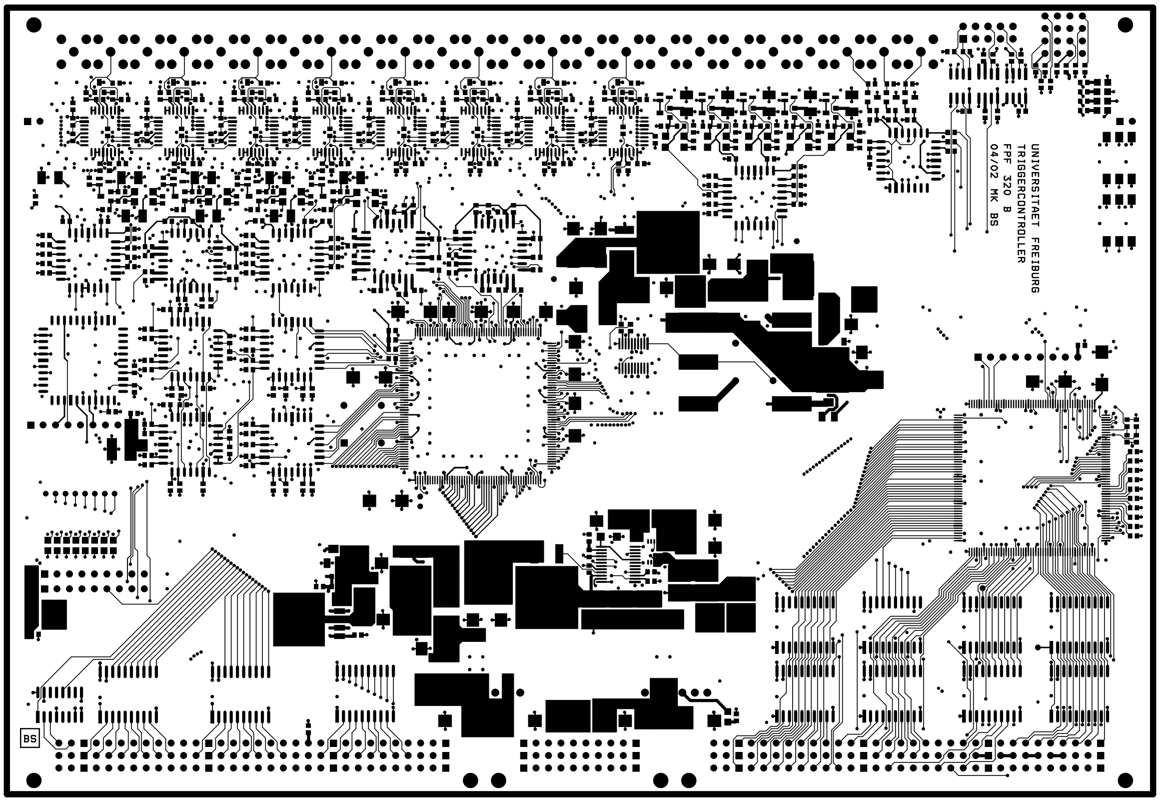


Abb. B.11: Aufdruck der Oberseite und der Unterseite des Triggerlogikmoduls



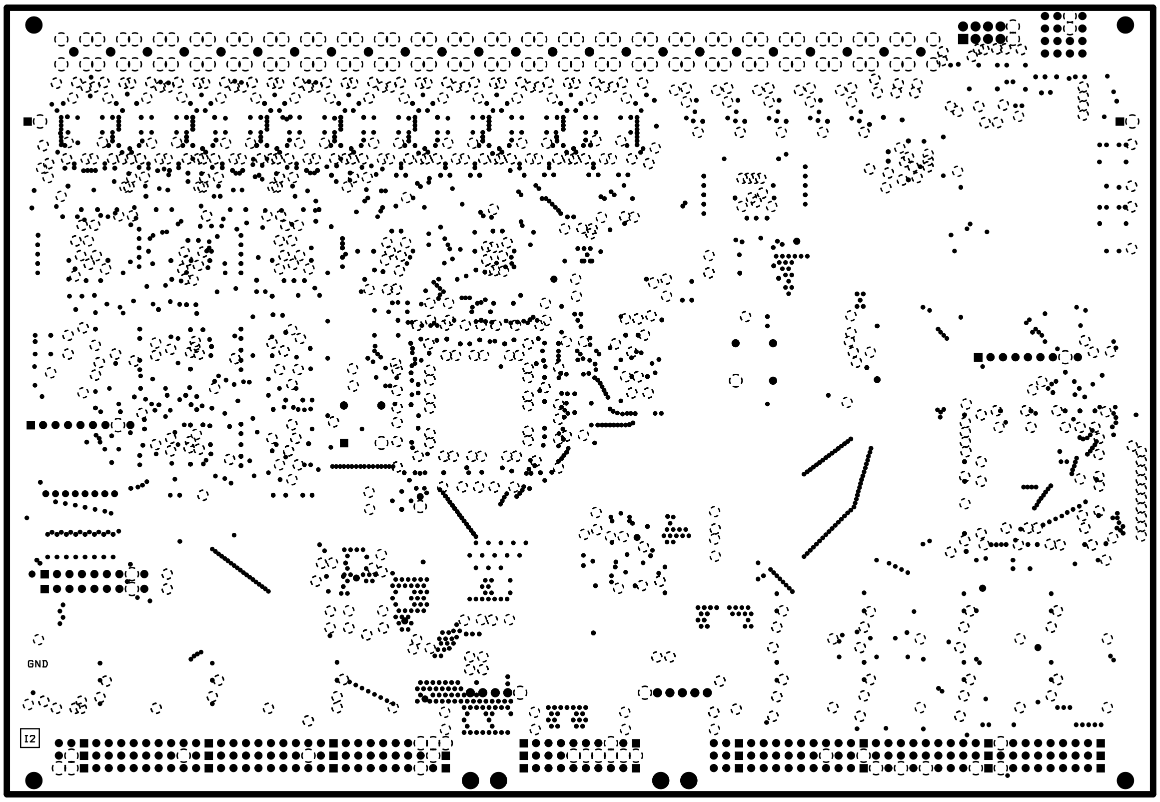


Abb. B.12: Layout der Oberseite (Lage 1) und der +GND-Ebene (Lage 2, invertiert) des Triggerlogikmoduls

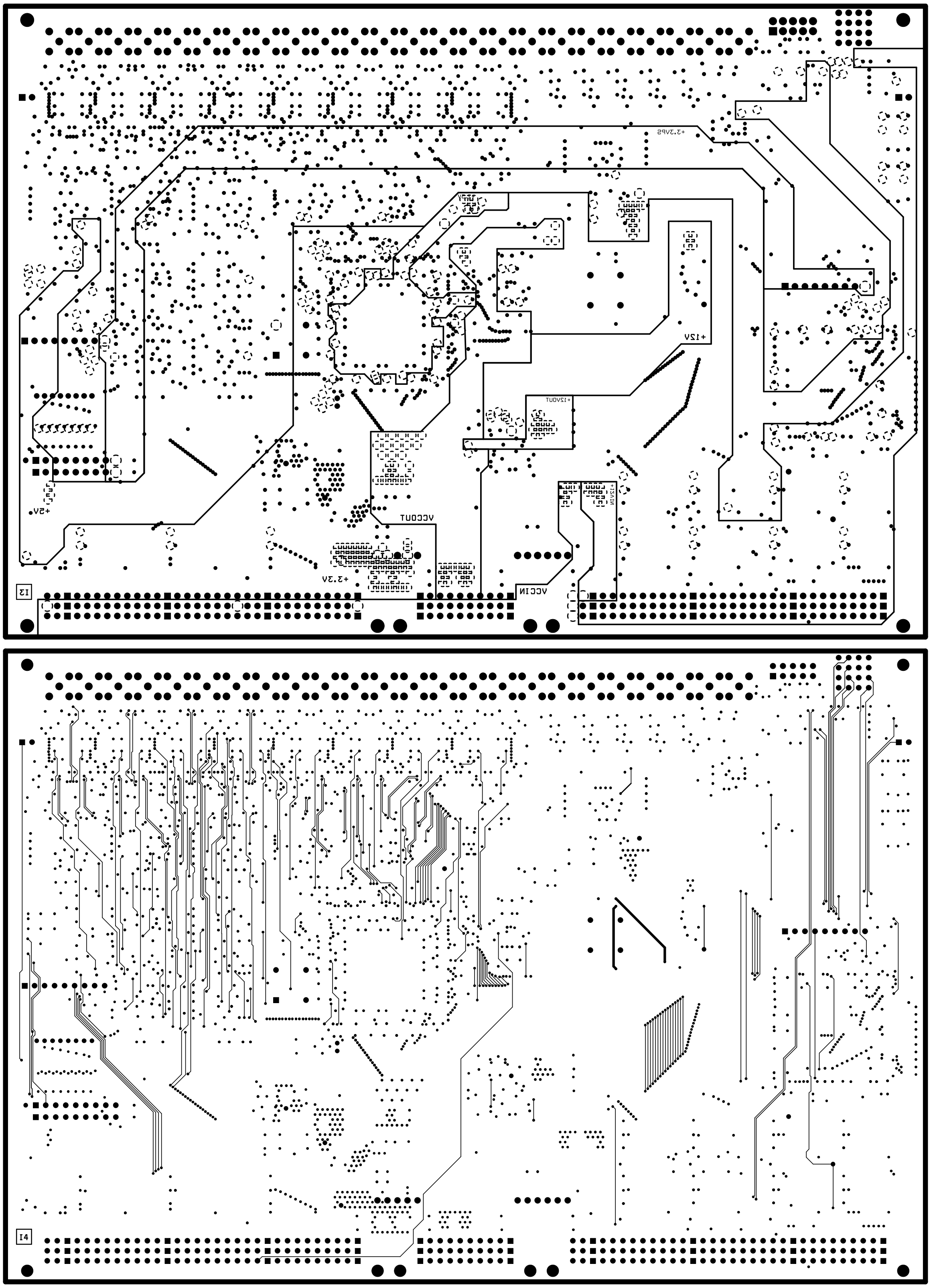


Abb. B.13: Layout der $+V_{\mathrm{CC}}$-Ebene (Lage 3, invertiert) und einer Signalebene (Lage 4) des Triggerlogikmoduls

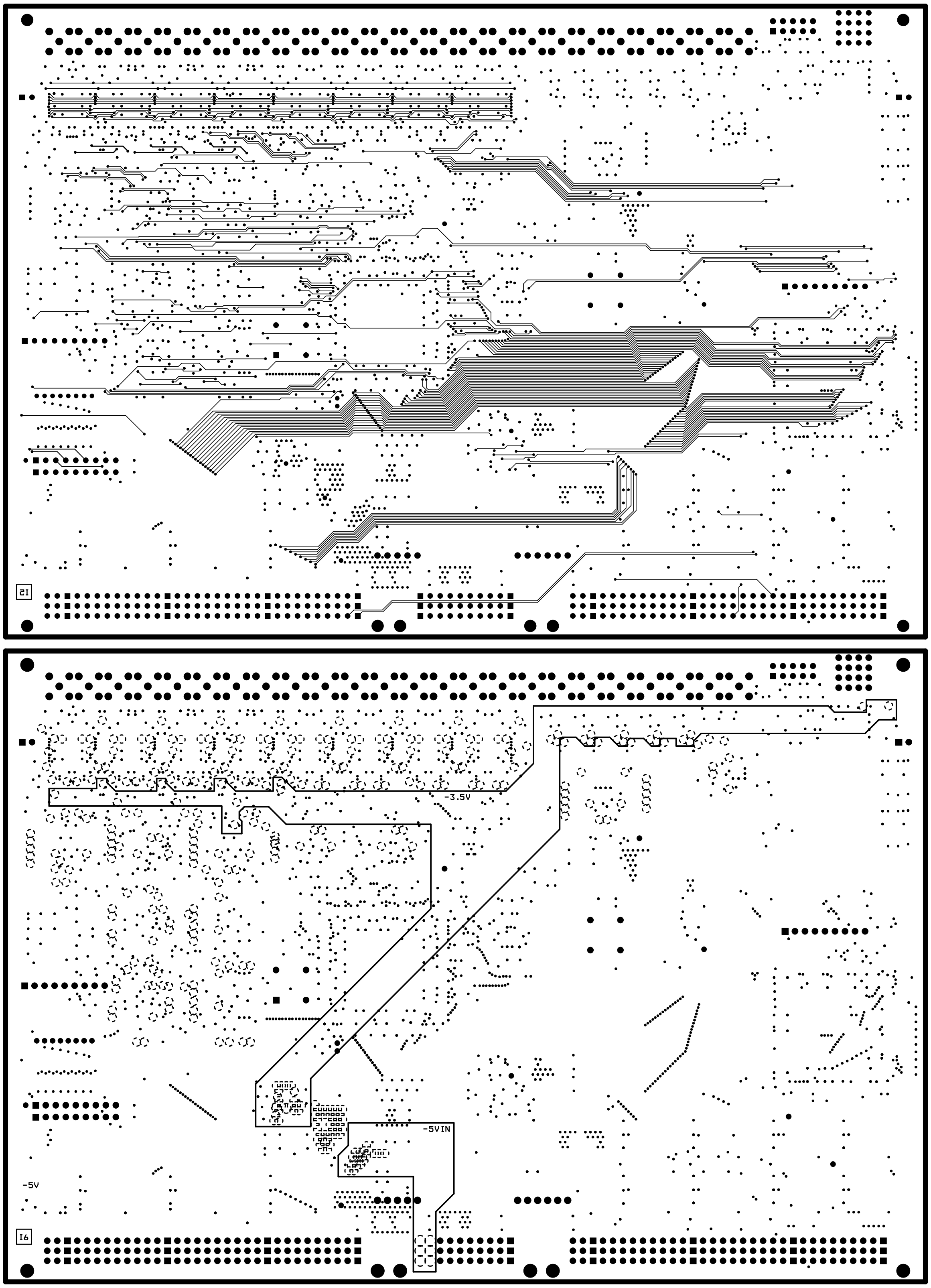


Abb. B.14: Layout einer Signalebene (Lage 5) und der -V_{CC}-Ebene (Lage 6, invertiert) des Triggerlogikmoduls

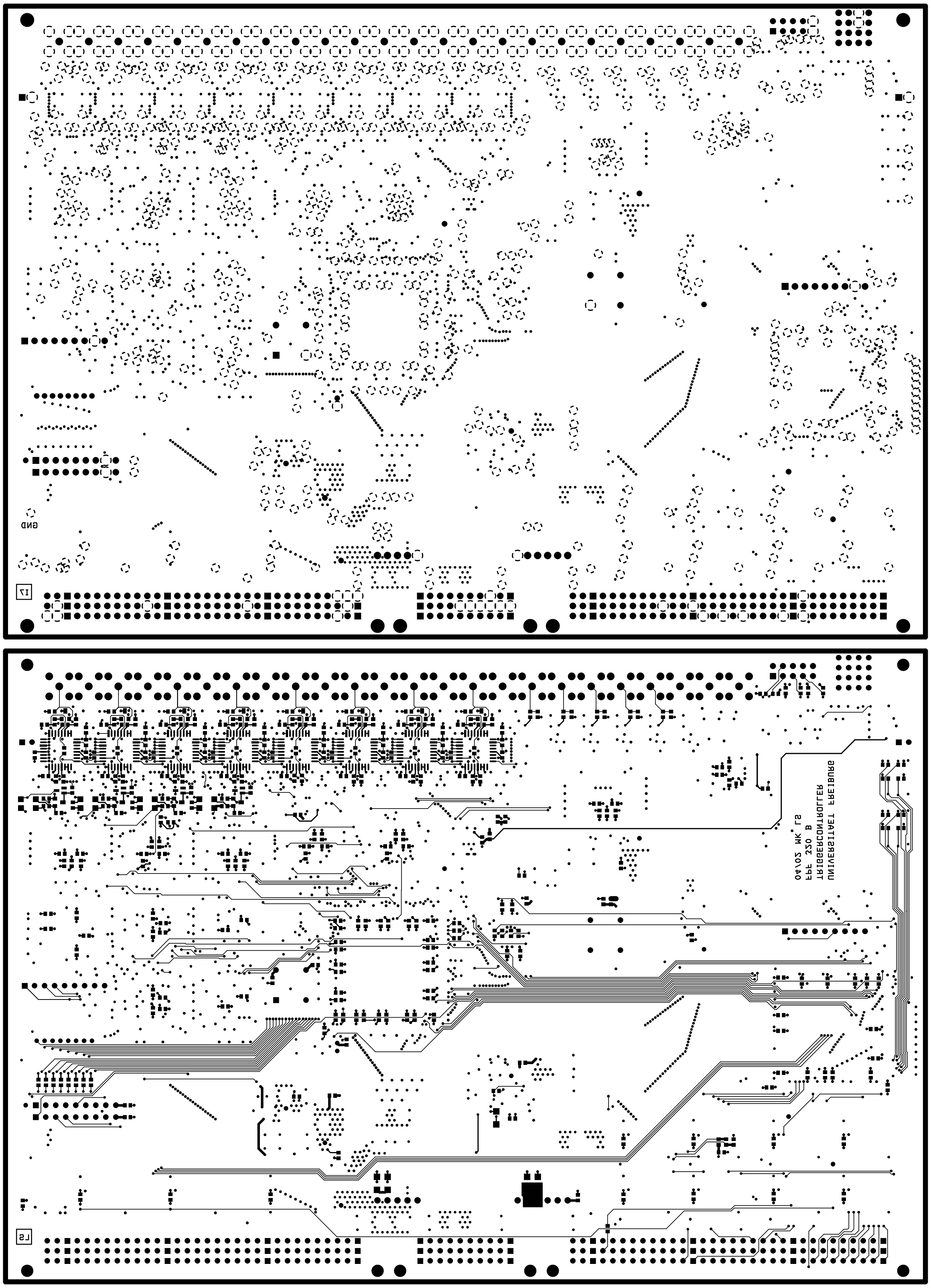


Abb. B.15: Layout der -GND-Ebene (Lage 7, invertiert) und der Unterseite (Lage 8) des Triggerlogikmoduls

B.3 Frontplatte

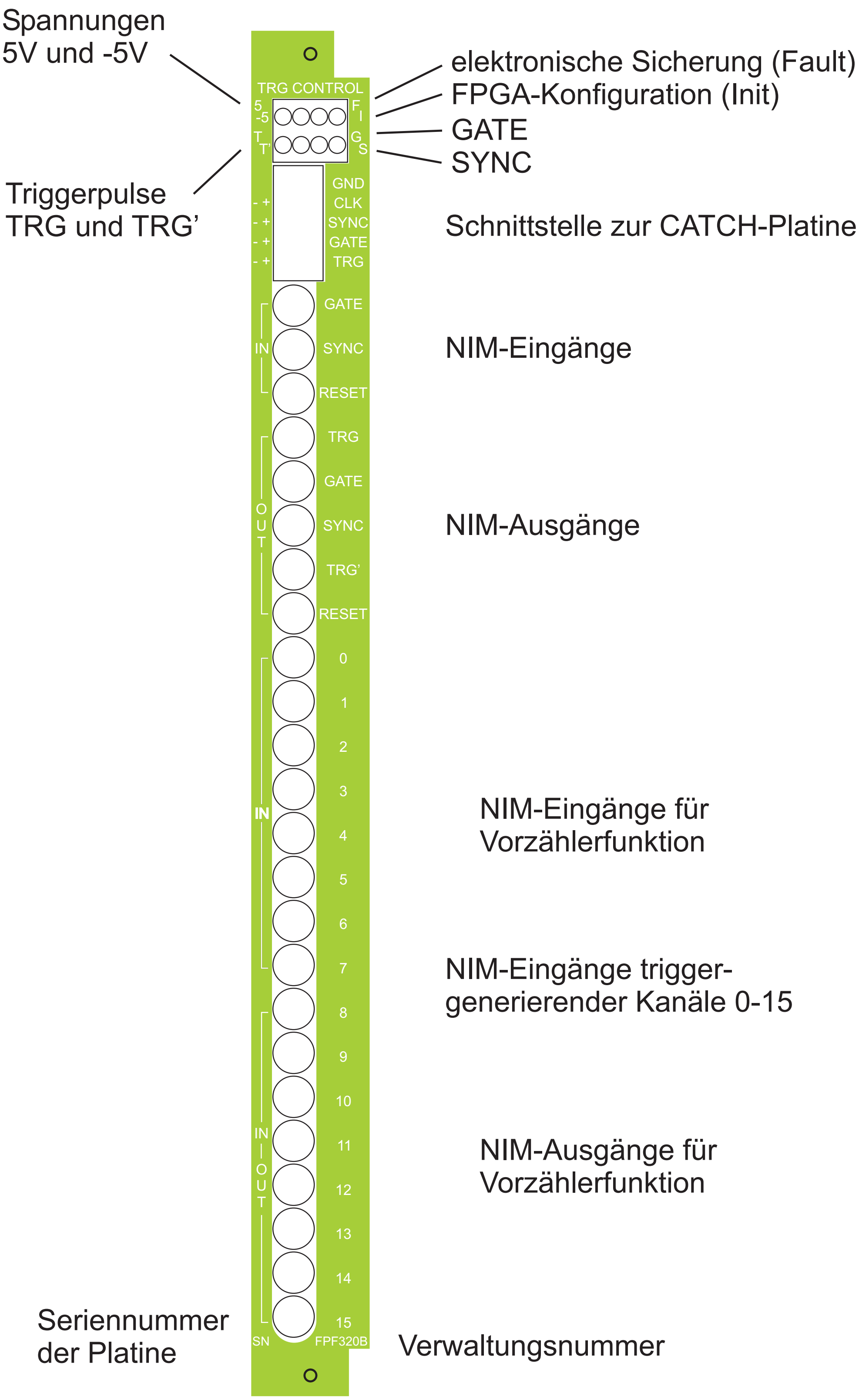


Abb. B.16: Erläuterung der Beschriftung der Frontplatte des Triggerlogikmoduls

Anhang C

JTAG-Test der CATCH-Platine

C.1 Testdesigns

Es gibt vier verschiedene Testmuster, jeweils zwei für eine Version der CATCH-Platine, mit denen Leiterbahnen zwischen FPGAs und CPLDs auf der Platine getestet werden können. Es werden immer zwei Muster pro CATCH-Version benötigt, um alternierende Pegel an den Eingängen der VME-Schnittstelle zu erzeugen. Diese werden mit den Schaltern auf den Teststeckern J1 und J2 gesetzt. Des Weiteren bietet der zweite Durchgang die Möglichkeit, statt der Verbindungen, die Pull-Up- bzw. Pull-Down-Widerstände einzelner Netze zu überprüfen. Eine Einführung zum JTAG-Test findet sich in [34].

C.2 Pinbelegungen

Im Folgenden sind die Pinbelegungen der Teststecker für den JTAG-Test der CATCH-Platine dokumentiert. Basierend auf der Entwicklung von Lars Hennig [34] wurden Erweiterungen vorgenommen und neue Teststecker hinzugefügt. Die Anordnung der Teststecker auf der CATCH-Platine ist in Abbildung C.1 angegeben.

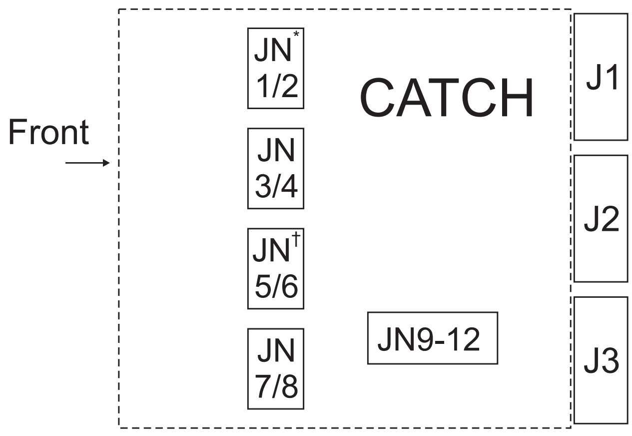


Abb. C.1: Teststeckeranordnung für den JTAG-Test auf dem CATCH-Modul

Die Dokumentation enthält neben den verbundenen Netznamen aus der Netzliste auch die Anschlüsse des jeweiligen ICs auf dem CATCH-Modul, den der JTAG-Test steuert. Nicht angegeben sind periphere Bauteile, die das Netz zusätzlich verbindet, wie z.B. Jumper oder Pull-Up-Widerstände. Alle Angaben von ICs und Netznahmen können direkt aus der Netzliste oder Schaltplan des CATCH-Moduls entnommen werden.

Teststecker JN1/2

Der Teststecker JN1/2 ist mit einem Stern gekennzeichnet und hat die Pinbelegung, die in den Tabellen C.1 und C.2 angegeben ist. Er wird so aufgesteckt, dass der Schriftzug von der Frontplatte des CATCH-Moduls aus lesbar ist. Die Netze JN1_1, JN2_9 und JN2_10 sind besondere Netze. Das Netz JN2_9 kann nur geschlossen werden, wenn eine Verbindung über die Teststecker JN1-8 erfolgt. Bei dem Netz JN2_10 gibt es parallele Pins an allen Teststeckern JN1-8, wobei die Verbindung nur an dem Teststecker JN1/2 hergestellt wird. Gleiches gilt für das Netz CMCTCK im Verbund von JN1_1.

Tab. C.1: Pinbelegung für den Teststecker JN1/2 für das CATCH-Modul

Netzname	Steckerpin	Netze	Pin	IC
JN1_1	1	CMCTCK	25	U14
	5	EF1A	5	U17
	7	BUSMODE1A	10	U17
JN1_2	17	DX2A	11	U17
	21	D28A	17	U17
	23	D25A	21	U17
JN1_3	27	D22A	28	U17
	29	D19A	31	U17
	33	EF0A	37	U17
	37	EF2A	41	U17
JN1_4	41	PAE0A	45	U17
	43	DX0A	48	U17
	47	D12A	59	U17
	49	D9A	63	U17
JN1_5	53	D6A	68	U17
	55	D4A	70	U17
	59	D2A	73	U17
	61	D0A	75	U17
JN1_6	4	FF1A	4	U17
	10	USR1A	17	U25
	6	PAE1A	8	U17
	12	USR2A	19	U25
	16	DX3A	9	U17
JN1_7	20	D31A	12	U17
	22	D27A	19	U17
	26	REN3A	23	U17
	28	D21A	29	U17
	32	D17A	34	U17
JN1_8	36	FF3A	39	U17
	40	FF0A	43	U17
	42	DX1A	46	U17
	46	D15A	55	U17
	48	D11A	61	U17
JN1_9	52	REN0A	65	U17
	54	D5A	69	U17
	58	D3A	72	U17
	60	D1A	74	U17
	64	USRCA	24	U25

Tab. C.2: Pinbelegung für den Teststecker JN1/2 für das CATCH-Modul

Netzname	Steckerpin	Netze	Pin	IC
JN2_1	9	USR3A	20	U25
	11	MODE2A	60	U17
	13	RSTA	4	U22
JN2_2	17	USR4A	22	U25
	19	D30A	14	U17
	23	D24A	22	U17
	25	EF3A	24	U17
	29	D18A	32	U17
JN2_3	31	D16A	35	U17
	35	PAE2A	40	U17
	39	PAE3A	44	U17
	43	REN1A	49	U17
	45	D14A	57	U17
JN2_4	49	D8A	64	U17
	51	D7A	67	U17
	55	SND2A	9	U22
JN2_5	20	D29A	15	U17
	22	D26A	20	U17
	26	D23A	27	U17
	28	D20A	30	U17
	32	REN2A	36	U17
JN2_6	38	FF2A	42	U17
	34	E3A	205	U17
	42	DEVSTA	47	U17
	46	D13A	58	U17
	48	D10A	62	U17
JN2_7	58	SND3A	10	U22
	60	E2A	206	U17
	54	SND1A	8	U22
	52	SND0A	5	U22
JN2_8	14	MODE3A	3	U17
	16	MODE4A	2	U17
JN2_9	2	TRST	76	U14
	3	CMCTMS	30	U14
JN2_10	4	CMCTDIB	28	U14
	5	CMCTDI	29	U14

Teststecker JN3/4

Dieser Teststecker ist ohne besondere Kennzeichnung und wird ebenfalls so auf die Platine gesteckt, dass der Schriftzug von der Frontplatte aus zu lesen ist. Der Teststecker ist identisch mit dem Teststecker JN7/8. Die Pinbelegung wird in den Tabellen C.3 und C.4 angegeben.

Tab. C.3: Pinbelegung für den Teststecker JN3/4 für das CATCH-Modul

Netzname	Steckerpin	Netze	Pin	IC
JN3_1	5	EF1B	5	U18
	7	BUSMODE1B	10	U18
JN3_2	17	DX2B	11	U18
	21	D28B	17	U18
	23	D25B	21	U18
JN3_3	27	D22B	28	U18
	29	D19B	31	U18
	33	EF0B	37	U18
	37	EF2B	41	U18
JN3_4	41	PAE0B	45	U18
	43	DX0B	48	U18
	47	D12B	59	U18
	49	D9B	63	U18
JN3_5	53	D6B	68	U18
	55	D4B	70	U18
	59	D2B	73	U18
	61	D0B	75	U18
JN3_6	4	FF1B	4	U18
	10	USR1B	25	U25
	6	PAE1B	8	U18
	12	USR2B	27	U25
	16	DX3B	9	U18
JN3_7	20	D31B	12	U18
	22	D27B	19	U18
	26	REN3B	23	U18
	28	D21B	29	U18
	32	D17B	34	U18
JN3_8	36	FF3B	39	U18
	40	FF0B	43	U18
	42	DX1B	46	U18
	46	D15B	55	U18
	48	D11B	61	U18
JN3_9	52	REN0B	65	U18
	54	D5B	59	U18
	58	D3B	72	U18
	60	D1B	74	U18
	64	USRCB	36	U25

Tab. C.4: Pinbelegung für den Teststecker JN3/4 für das CATCH-Modul

Netzname	Steckerpin	Netze	Pin	IC
JN4_1	9	USR3B	33	U25
	11	MODE2B	60	U18
	13	RSTB	11	U22
JN4_2	17	USR4B	35	U25
	19	D30B	14	U18
	23	D24B	22	U18
	25	EF3B	24	U18
	29	D18B	32	U18
JN4_3	31	D16B	35	U18
	35	PAE2B	40	U18
	39	PAE3B	44	U18
	43	REN1B	49	U18
	45	D14B	57	U18
JN4_4	49	D8B	64	U18
	51	D7B	67	U18
	55	SND2B	15	U22
JN4_5	20	D29B	15	U18
	22	D26B	20	U18
	26	D23B	27	U18
	28	D20B	30	U18
	32	REN2B	36	U18
JN4_6	38	FF2B	42	U18
	34	E3B	205	U18
	42	DEVSTB	47	U18
	46	D13B	58	U18
	48	D10B	62	U18
JN4_7	58	SND3B	17	U22
	60	E2B	206	U18
	54	SND1B	8	U22
	52	SND0B	5	U22
JN4_8	14	MODE3B	3	U18
	16	MODE4B	2	U18

Teststecker JN5/6

Dieser Teststecker ist mit einem Kreuz gekennzeichnet und wird ebenfalls so auf die Platine gesteckt, dass der Schriftzug von der Frontplatte aus zu lesen ist. Der Stecker trägt diese Markierung wegen der Einkürzung einer Seite, um einer Stabilisationsstange auf dem CATCH-Modul auszuweichen. Des Weiteren ist er mit zwei Jumpern ausgestattet. Für einen JTAG-Test der aktuellen CATCH-Version (V1) sind die Jumper zu setzen, für die erste Version (V0) zu entfernen. Die Pinbelegung wird in den Tabellen C.5 und C.6 angegeben.

Tab. C.5: Pinbelegung für den Teststecker JN5/6 für das CATCH-Modul

Netzname	Steckerpin	Netze	Pin	IC
JN5_1	5	EF1C	5	U19
	7	BUSMODE1C	10	U19
JN5_2	17	DX2C	11	U19
	21	D28C	17	U19
	23	D25C	21	U19
JN5_3	27	D22C	28	U19
	29	D19C	31	U19
	33	EF0C	37	U19
	37	EF2C	41	U19
JN5_4	41	PAE0C	45	U19
	43	DX0C	48	U19
	47	D12C	59	U19
	49	D9C	63	U19
JN5_5	53	D6C	68	U19
	55	D4C	70	U19
	59	D2C	73	U19
	61	D0C	75	U19
JN5_6	4	FF1C	4	U19
	10	USR1C	38	U25
	6	PAE1C	8	U19
	12	USR2C	39	U25
	16	DX3C	9	U19
JN5_7	20	D31C	12	U19
	22	D27C	19	U19
	26	REN3C	23	U19
	28	D21C	29	U19
	32	D17C	34	U19
JN5_8	36	FF3C	39	U19
	40	FF0C	43	U19
	42	DX1C	46	U19
	46	D15C	55	U19
	48	D11C	61	U19
JN5_9	52	REN0C	65	U19
	54	D5C	59	U19
	58	D3C	72	U19
	60	D1C	74	U19
	64	USRCC	44	U25

Tab. C.6: Pinbelegung für den Teststecker JN5/6 für das CATCH-Modul

Netzname	Steckerpin	Netze	Pin	IC
JN6_1	9	USR3C	33	U25
	11	MODE2C	60	U19
	13	RSTC	19	U22
JN6_2	17	USR4C	35	U25
	19	D30C	14	U19
	23	D24C	22	U19
	25	EF3C	24	U19
	29	D18C	32	U19
JN6_3	31	D16C	35	U19
	35	PAE2C	40	U19
	39	PAE3C	44	U19
	43	REN1C	49	U19
	45	D14C	57	U19
JN6_4	49	D8C	64	U19
	51	D7C	67	U19
	55	SND2C	22	U22
JN6_5	20	D29C	15	U19
	22	D26C	20	U19
	26	D23C	27	U19
	28	D20C	30	U19
	32	REN2C	36	U19
JN6_6	38	FF2C	42	U19
	34	E3C	205	U19
	42	DEVSTC	47	U19
	46	D13C	58	U19
	48	D10C	62	U19
JN6_7	58	SND3C	23	U22
	60	E2C	206	U19
	54	SND1C	21	U22
	52	SND0C	20	U22
JN6_8	14	MODE3C	3	U19
	16	MODE4C	2	U19

Teststecker JN7/8

Dieser Teststecker ist ohne besondere Kennzeichnung und wird ebenfalls so auf die Platine gesteckt, dass der Schriftzug von der Frontplatte aus zu lesen ist. Die Pinbelegung wird in den Tabellen C.7 und C.8 angegeben.

Tab. C.7: Pinbelegung für den Teststecker JN7/8 für das CATCH-Modul

Netzname	Steckerpin	Netze	Pin	IC
JN7_1	5	EF1D	5	U20
	7	BUSMODE1D	10	U20
JN7_2	17	DX2D	11	U20
	21	D28D	17	U20
	23	D25D	21	U20
JN7_3	27	D22D	28	U20
	29	D19D	31	U20
	33	EF0D	37	U20
	37	EF2D	41	U20
JN7_4	41	PAE0D	45	U20
	43	DX0D	48	U20
	47	D12D	59	U20
	49	D9D	63	U20
JN7_5	53	D6D	68	U20
	55	D4D	70	U20
	59	D2D	73	U20
	61	D0D	75	U20
JN7_6	4	FF1D	4	U20
	10	USR1D	45	U25
	6	PAE1D	8	U20
	12	USR2D	48	U25
	16	DX3D	9	U20
JN7_7	20	D31D	12	U20
	22	D27D	19	U20
	26	REN3D	23	U20
	28	D21D	29	U20
	32	D17D	34	U20
JN7_8	36	FF3D	39	U20
	40	FF0D	43	U20
	42	DX1D	46	U20
	46	D15D	55	U20
	48	D11D	61	U20
JN7_9	52	REN0D	65	U20
	54	D5D	69	U20
	58	D3D	72	U20
	60	D1D	74	U20
	64	USRCD	56	U25

Tab. C.8: Pinbelegung für den Teststecker JN7/8 für das CATCH-Modul

Netzname	Steckerpin	Netze	Pin	IC
JN8_1	9	USR3D	49	U25
	11	MODE2D	60	U20
	13	RSTD	24	U22
JN8_2	17	USR4D	50	U25
	19	D30D	14	U20
	23	D24D	22	U20
	25	EF3D	24	U20
	29	D18D	32	U20
JN8_3	31	D16D	35	U20
	35	PAE2D	40	U20
	39	PAE3D	44	U20
	43	REN1D	49	U20
	45	D14D	57	U20
JN8_4	49	D8D	64	U20
	51	D7D	67	U20
	55	SND2D	29	U22
JN8_5	20	D29D	15	U20
	22	D26D	20	U20
	26	D23D	27	U20
	28	D20D	30	U20
	32	REN2D	36	U20
JN8_6	38	FF2D	42	U20
	34	E3D	205	U20
	42	DEVSTD	47	U20
	46	D13D	58	U20
	48	D10D	62	U20
JN8_7	58	SND3D	30	U22
	60	E2D	206	U20
	54	SND1D	28	U22
	52	SND0D	27	U22
JN8_8	14	MODE3D	3	U20
	16	MODE4D	2	U20

Teststecker JN9-12

Dieser Teststecker wird auf den Erweiterungssteckplatz aufgesteckt, so dass der Schriftzug von unten lesbar ist. Der Teststecker hat einen Jumper, der für die CATCH-Version V1 gesetzt wird und für die Version V0 entfernt wird. Des Weiteren hat der Teststecker einen Pin, an dem ein Taktsignal anliegt. Die Pinbelegung wird in den Tabellen C.9 bis C.12 angegeben.

Tab. C.9: Pinbelegung für den Teststecker JN9-12 für das CATCH-Modul

Netzname	Steckerpin	Netze	Pin	IC
JN9_1	7	BUSMODE1	55	U32
	9	FWEN	169	U21
	4	FRS	173	U21
JN9_2	10	FD32	168	U21
	12	FD31	167	U21
	16	FD30	163	U21
	20	FD28	161	U21
	22	FD26	159	U21
JN9_3	17	FD29	162	U21
	21	FD27	160	U21
	23	FD25	157	U21
JN9_4	26	FD24	156	U21
	28	FD22	154	U21
	32	FD20	152	U21
	36	FD18	147	U21
	40	FD16	145	U21
	42	FD14	142	U21
JN9_5	27	FD23	155	U21
	29	FD21	153	U21
	33	FD19	149	U21
	37	FD17	146	U21
	41	FD15	144	U21
	43	FD13	141	U21
JN9_6	47	FD11	139	U21
	49	FD9	134	U21
	53	FD7	132	U21
	55	FD5	130	U21
	59	FD3	127	U21
	61	FD1	125	U21
JN9_7	48	FD10	138	U21
	52	FD8	133	U21
	54	FD6	131	U21
	58	FD4	128	U21
	60	FD2	126	U21
	64	FD0	124	U21

Tab. C.10: Pinbelegung für den Teststecker JN9-12 für das CATCH-Modul

Netzname	Steckerpin	Netze	Pin	IC
JN10_1	11	BUSMODE2	44	U32
	14	BUSMODE3	45	U32

Tab. C.11: Pinbelegung für den Teststecker JN9-12 für das CATCH-Modul

Netzname	Steckerpin	Netze	Pin	IC
JN11_1	5	BUSIRQX	97	U22
	4	GRESX	110	U22
	6	BUSENAX	88	U22
	8	BUSOEX	76	U22

Tab. C.12: Pinbelegung für den Teststecker JN9-12 für das CATCH-Modul

Netzname	Steckerpin	Netze	Pin	IC
JN12_1	1	EXT39	101	U32
	3	EXT37	99	U32
	2	EXT38	100	U32
	4	EXT36	98	U32
JN12_2	5	EXT35	97	U32
	7	EXT33	95	U32
	9	EXT31	93	U32
	11	EXT29	90	U32
	13	EXT27	88	U32
	15	EXT25	85	U32
JN12_3	6	EXT34	96	U32
	8	EXT32	94	U32
	10	EXT30	92	U32
	12	EXT28	89	U32
	14	EXT26	87	U32
	16	EXT24	84	U32
JN12_4	17	EXT23	83	U32
	19	EXT21	81	U32
	21	EXT19	76	U32
	23	EXT17	74	U32
	25	EXT15	72	U32
	27	EXT13	69	U32
JN12_5	18	EXT22	82	U32
	20	EXT20	80	U32
	22	EXT18	75	U32
	24	EXT16	73	U32
	26	EXT14	70	U32
	28	EXT12	68	U32
JN12_6	29	EXT11	67	U32
	31	EXT9	64	U32
	33	EXT7	62	U32
	35	EXT5	59	U32
	37	EXT3	57	U32
	39	EXT1	48	U32
JN12_7	30	EXT10	65	U32
	32	EXT8	63	U32
	34	EXT6	61	U32
	36	EXT4	58	U32
	38	EXT2	49	U32
	40	EXT0	47	U32

Teststecker J1

Der Teststecker J1 hat mehrere Funktionen. Eine davon ist die Spannungsversorgung für das CATCH-Modul während des JTAG-Tests. Es gibt Anschlüsse für 5 V, 12 V, -12 V und natürlich GND. Der Teststecker ist so konzipiert, dass damit die VME-Schnittstelle des CATCH-Moduls getestet werden kann. Es befinden sich zwei Kippschalter auf dem Stecker, mit denen definierte Pegel an den Eingängen der Bustreiber angelegt werden können. Für den JTAG-Test "CatchV1" (bzw. "CatchV0") müssen die Schalter so gesetzt sein, dass die nebenstehenden LEDs grün anzeigen. Für den nachfolgenden JTAG-Test "CatchV1_" (bzw. "CatchV0_") sollten die Schalter so gestellt sein, dass die LEDs rot anzeigen. Alle High-Pegel werden an den Eingängen mit einem 10 kΩ Widerstand gegen +5 V erzeugt. Die Erfahrung zeigt, dass manchmal die daraus resultierenden Eingangströme zu klein sind und der High-Pegel nicht erreicht werden kann. Um dem Abhilfe zu schaffen, gibt es auf dem Teststecker zwei Jumper, mit denen der Widerstand überbrückt werden kann.

An dem J1-Teststecker der CATCH-Platine gibt es drei Leitungen, die als Ausgang fungieren. Zum Test dieser Leitungen befinden sich auf dem Teststecker drei grüne LEDs, welche im JTAG-Test "CatchV1" (bzw. "CatchV0") grün aufleuchten. Im nachfolgenden JTAG-Test "CatchV1_" (bzw. "CatchV0_") verlöschen diese dann. Indirekt wird bei dem Test der Bustreiber auch die Leitung TOVME getestet, welche die Richtung der zum Teil bidirektionalen Bustreiber bestimmt. Alle Leitungen dieser Schnittstelle werden somit getestet.

Die Pinbelegung der Leitungen der VME-Schnittstelle von Teststecker J1 und J2 sind nachfolgend nicht aufgeführt, da die zugehörigen Netznamen im JTAG-Test denen aus der Netzliste entsprechen.

Teststecker J2

Der Teststecker J2 erzeugt definierte Testpegel an den Eingängen der Bustreiber analog zu Teststecker J1. Vier Leitungen dieser Schnittstelle sind nicht testbar, aus diesem Grund sind sie mit einem Testpin versehen. Zusätzlich werden mit dem Teststecker Netze verbunden, um sie testbar zu machen (Pinbelegung s. C.13).

Teststecker J3

Neben testbaren Leitungen dieser Schnittstelle gibt es eine Leitung, die nicht testbar ist und mit einem Pin versehen ist (Pinbelegung s. C.14).

Tab. C.13: Pinbelegung für den Teststecker J2 für das CATCH-Modul

Netzname	Steckerpin	Netze	Pin	IC
J2_1	A4	TDATA0	29	U23
	A5	TDATA2	27	U23
	C4	TDATA1	28	U23
J2_2	A6	TDATA4	23	U23
	A7	TDATA6	21	U23
	A8	TADDR0	19	U23
	C5	TDATA3	24	U23
	C6	TDATA5	22	U23
	C7	TDATA7	20	U23
J2_3	A9	TADDR2	15	U23
	C8	TADDR1	17	U23
	C9	TADDR3	14	U23
J2_4	A10	THREADY	12	U23
	A11	TTCLK	55	U23
	A12	TDMODE	9	U23
	A13	TBOS	15	U25
	C10	THENA	11	U23
	C11	TSENA	10	U23
	C12	TRRDY	8	U23
J2_5	A14	TTRIG	5	U23
	A14	TTRIG	10	U25
	A15	TRESET	4	U23
	A16	TSKIPD	2	U23
	C13	TEOS	11	U25
	C14	TPRETRG	9	U25
	C15	TERROR	3	U23
	C16	TASYNCTRG	8	U25
J2_6	A17	TINIT	89	U14
	A18	TPROG	91	U14
	A19	TCCLK	95	U14
	C17	TDONE	97	U14
	C18	TDIN	90	U14

Tab. C.14: Pinbelegung für den Teststecker J3 für das CATCH-Modul

Netzname	Steckerpin	Netze	Pin	IC
J3_1	A1	SINIT	99	U14
	A2	SCCLK	102	U14
	C1	SDONE	103	U14
	C2	SDIN	100	U14
	C3	SPROG	101	U14
J3_2	A4	UD0	152	U32
	A5	UD2	150	U32
	C5	UD1	151	U32
	C6	UD3	149	U32
J3_3	A6	UD4	148	U32
	A7	UD6	146	U32
	A9	UD8	144	U32
	C7	UD5	147	U32
	C8	UD7	145	U32
J3_4	A10	UD10	141	U32
	C10	UD9	142	U32
J3_5	A11	UD12	138	U32
	A12	UD14	136	U32
	A14	UD17	133	U32
	A15	UD18	132	U32
	C11	UD11	139	U32
	C12	UD13	137	U32
	C13	UD15	135	U32
	C14	UD16	134	U32
J3_6	A16	UD20	128	U32
	A17	UD22	126	U32
	A19	UD25	123	U32
	A20	UD26	122	U32
	C16	UD19	129	U32
	C17	UD21	127	U32
	C18	UD23	125	U32
	C19	UD24	124	U32
J3_7	A21	UD28	119	U32
	C21	UD27	120	U32
J3_8	A22	UD30	116	U32
	A24	UCTRL	113	U32
	A25	UDW1	111	U32
	A26	URESET	110	U32
	C22	UD29	117	U32
	C23	UD31	115	U32
	C24	UDW0	114	U32
	C25	UTEST	112	U32
J3_9	A30	LDOWN	107	U32
	C27	UWEN	109	U32
	C29	LFF	108	U32
	C30	SRESET	102	U32

Jumper – CATCH V0

Die Jumper auf dem Teststecker JN3/4 und JN9-12 tragen der geringfügigen Abweichungen beider Versionen des CATCH-Moduls V0 und V1 Rechnung. Zum Test der CATCH-Version V0 müssen die Jumper gesteckt sein. Einige Netze haben demnach eine abweichende Pinbelegung, welche in den Tabellen C.15 und C.16 angegeben ist.

Tab. C.15: Abweichende Pinbelegung für den Teststecker der CATCH-Version V0

Netzname	Steckerpin	Netze	Pin	IC
JN2_10	5	CMCTDI	29	U14
			2	U17
	4	CMCTDIB	3	U17
	5 (JN4)		2	U18
	4 (JN4)	CMCTDIC	3	U18
	5 (JN6)		2	U19
JN2_11	4 (JN6)	CMCTDID	3	U19
	5 (JN8)		2	U20
	4 (JN8)	CMCTDO	3	U20
			28	U14

Tab. C.16: Abweichende Pinbelegung für den Teststecker der CATCH-Version V0

Netzname	Steckerpin	Netze	Pin	IC
JN10_1	9 (JN2)	USR3A	20	U25
	13 (JN2)	RSTA	4	U22
	9 (JN4)	USR3B	33	U25
	13 (JN4)	RSTB	11	U22
	9 (JN8)	USR3D	49	U25
	13 (JN8)	RSTD	24	U22
JN10_2	14	BUSMODE3	45	U32
	16	BUSMODE4	46	U32
JN10_3	9 (JN6)	USR3C	42	U25
	13 (JN6)	RSTC	19	U22

Anhang D

Datenflusskontrolle des CATCH-Moduls

D.1 Einführung

FIFOs sind nicht boundary-scan-fähig[1], somit kann man mittels JTAG-Test nicht prüfen, ob das FIFO korrekt gelötet wurde. Die Pinabstände der FIFOs sind relativ gering, so dass Lötfehler auftreten. Die FIFOs befinden sich an einer wichtigen Stelle der CATCH-Platine innerhalb des Datenflusses. Alle ausgelesenen Daten werden in ihnen zwischengespeichert. Somit ergänzt ein spezieller FIFO-Test den JTAG-Test.

Der FIFO-Test verfolgt ein grundsätzlich anderes Konzept als der JTAG-Test. Der JTAG-Test nutzt nur die äußeren Strukturen, die Leiterbahnen. Von der inneren Struktur der Bauteile macht er nur wenig Gebrauch. Der FIFO-Test wird im Gegensatz dazu in das Gesamtkonzept des CATCH-Moduls eingefügt. Er hat ein eigenständiges FPGA-Design, mit dem die FPGAs programmiert werden, so dass die FIFOs getestet werden können. Die Programmierung erfolgt über die VME-Schnittstelle und wird anschließend ausgeführt. Auslese und Steuerung des Tests erfolgt ebenfalls über den VME-Bus. Ein C-Programm übernimmt die Programmierung des CATCH-Moduls und die Analyse bzw. Steuerung. Der Test ist somit vollautomatisch und kann auch von Menschen ausgeführt werden, die weniger mit der CATCH-Platine vertraut sind. Die Entwicklungsarbeit bestand also aus zwei Teilen, dem C-Programm und dem VHDL-Kode für das FPGA-Design; dreifach, da es drei verschiedene FIFOs auf der Platine gibt.

D.2 FIFO-Test

Das Testprinzip besteht darin, im vorgelagerten FPGA Daten zu erzeugen, die in das nachfolgende FIFO geschrieben werden und am Ende wieder ausgelesen werden (s. Abb. D.1). Die Analyse beschränkt sich darauf, die Auslese mit den generierten Daten zu vergleichen. Der Test ist erfolgreich, wenn die gesendeten und gelesenen

[1] d.h. ohne JTAG-Schnittstelle

Datenworte übereinstimmen. Die Auslese der Daten setzt ein funktionierendes Bussytem vom CATCH-Modul und vom VME-Bus voraus, da darin enthaltene Fehler zur Analyse falscher Fehler an den FIFOs führen würden. Neben den Datenleitungen werden auch sämtlich Flags der FIFOs explizit getestet, welche für die volle Funktionsfähigkeit fundamental sind. Fehlfunktionen dieser Flags haben oft nicht einfach zu durchschauende Ursachen. Das C-Programm erkennt Fehler und gibt dann eine Liste mit Pins aus, an denen der Fehler vorliegen könnte, so dass sie sofort behoben werden können. Entsprechend dem zu testenden FIFO lauten die C-Programme: “test-spy-buffer”, “test-data-fifo” und “test-header-fifos”.

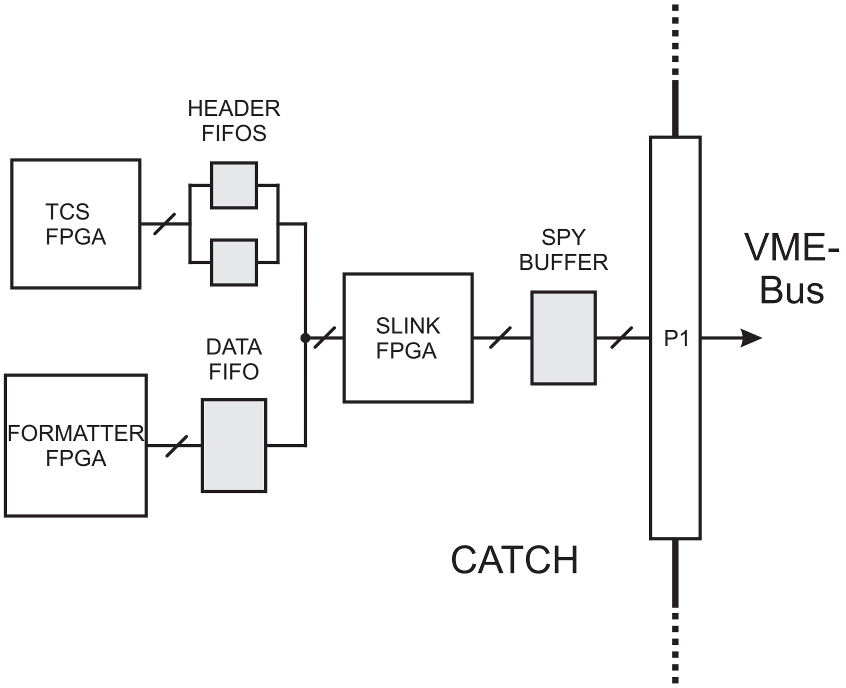


Abb. D.1: Datenwege durch externe FIFOs des CATCH-Moduls

D.3 RAM-Test

Der RAM-Test reiht sich in die Reihe ergänzender Tests nicht-boundary-scan-fähiger Bauteile ein. Das C-Programm “test-ram” übernimmt vollautomatisch den Test. Es werden Schreib- und Lesezugriffe über den VME-Bus ausgeführt und ausgewertet, um den RAM zu testen, der von einem FPGA auf der CATCH-Platine gesteuert wird (s. Abb. D.2). Die Fehlerbehebung wird mit einer Ausgabe von Pins unterstützt.

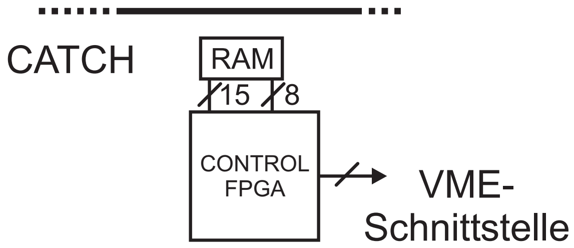


Abb. D.2: Steuerung des RAM-Bausteins durch einen FPGA auf dem CATCH-Modul

Anhang E

Test der HOTLink-CMC

E.1 Einführung

Die HOTLink-CMC und die HOTFibre-CMC werden nach der Produktion getestet, um volles Vertrauen in die Funktionsfähigkeit des Moduls zu bekommen und Fehler zu beheben. Der Test ist sowohl auf dem CATCH-Modul als auch auf dem CATCH-X-Modul [71] durchführbar. Jedoch ist der Test auf dem CATCH zu bevorzugen, da es auf der Platine die Möglichkeit gibt, die Spannung für die CMCs abzuschalten. Somit ist ein Wechsel der CMC-Platinen möglich, ohne die Spannungsversorgung des VME-Busses abzuschalten. Weiterhin spart man sich die Zeit für das Hoch- und Runterfahren der VME-CPU vor dem Ein- und Ausschalten der Spannung. Abbildung E.1 zeigt den schematischen Labortestaufbau. Für diesen Test wurde eigens das Testgerät "HOTLink-Tester" [72] entwickelt. Das Testgerät simuliert ein Gegenstück zu den CMCs.

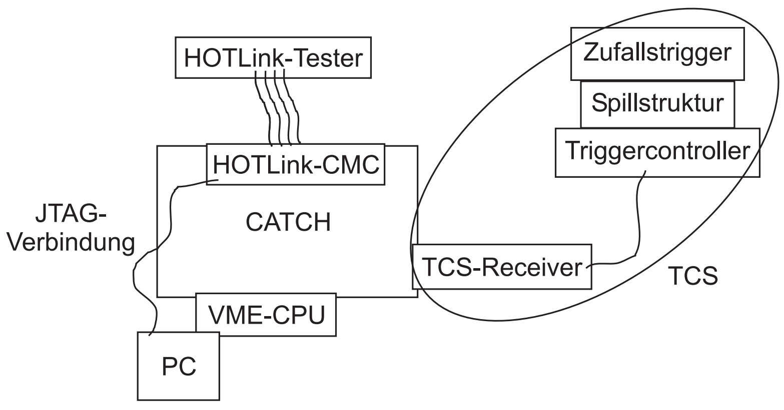


Abb. E.1: Labortestaufbau für den HOTLink-CMC-Test

Der Test erfolgt in zwei Stufen. Jede Teststufe erfordert seine eigenen CPLD-Designs für die Logik auf der HOTLink-CMC. Es kann immer nur eine HOTLink-CMC zu einer Zeit auf dem ersten Steckplatz des CATCH-Moduls getestet werden.

E.2 1. Teststufe

Dieser Test testet die Datenwege vom CPLD bis zur Schnittstelle zum CATCH-Modul. Im Wesentlichen werden Ausgänge am CPLD sowie Daten- und Steuerleitungen von FIFOs getestet, welche zwischen dem CPLD und der Schnittstelle zum CATCH-Modul liegen. Die CPLDs werden über die JTAG-Verbindung mit der Datei “cmc_ag.jed” programmiert. Dieses Programm programmiert den CPLD derart, dass er generierte Testdaten an das CATCH-Modul überträgt. Auf dem CATCH-Modul werden die Daten in einen Puffer (Spy-Buffer) übertragen. Mit dem C-Programm “test-hotlink” werden die Daten auf dem VME-Rechner ausgelesen und verifiziert. Dieses Programm erfordert als ersten Parameter eine “1” und als zweiten die Adresse der CATCH-Platine. Wenn dabei Fehler erkannt werden, werden diese angegeben, und unter Umständen werden Pin-Nummern von Bauteilen ausgegeben, welche sich auf dem Schaltplan wiederfinden lassen. An diesen Pins wird dann der Fehler in Form von Nichtkontaktierung oder als Kurzschluss zum Nachbarpin erwartet. Ein erfolgreicher Test schließt mit der Meldung “passed” ab. Mit dem C-Programm “test-flags” können anschliessend alle Steuerfunktionen der FIFOs separat getestet werden.

E.3 2. Teststufe

Bei diesem Test werden die kompletten Datenwege und zusätzliche Funktionen der CMC-Platinen getestet. Der HOTLink-Tester muss dazu an die CMC-Platine angeschlossen werden. Für einen erfolgreichen Test ist das TCS-System zu initialisieren. Mit dem HOTLink-Tester können die zusätzlichen Funktionen getestet werden, sowie Daten erzeugt werden, welche wiederum über das CATCH-Modul verifiziert werden können. Das C-Programm “test-hotlink” tut dies mit einer “2” als zweiten Parameter analog der ersten Teststufe. Das Programm “uart” dient dazu, serielle Datenworte an den HOTLink-Tester zu übertragen und simuliert damit die Initialisierung von Front-End-Elektronik. Das Design für die CPLDs ist gleichzeitig auch das endgültige Arbeitsdesign mit dem Namen: “4byt_v11.jed”. Bei der HOTFibre-CMC gibt es die Schwierigkeit, dass die Triggeranzahl nicht sauber vom HOTLink-Tester gezählt wird. Zum Test des Triggersignals wird direkt mit dem Oszillograph gemessen.

E.4 Ausleseprogramme

Das Ausleseprogramm “test-hotlink” übernimmt die volle Analyse der Daten, die die HOTLink-CMC an das CATCH-Modul überträgt. Eine weitere Aufgabe des Programms besteht darin, das CATCH-Modul zu initialisieren, so dass es Daten übertragen kann. Die Platine wird mit einem speziellen FPGA-Testdesign programmiert. Die Nummer (ID) der CMC-Platine wird vom Ausleseprogramm ausgegeben, um sie manuell mit den Adressdioden zu überprüfen. Des Weiteren wird der CMC-Typ und die Revision überprüft. Danach wird nach einem Muster im Datenstrom gesucht, um einen definierten Anfang der Datenworte herauszufinden. Wenn dieser gefunden wurde, werden ca. 400 Testworte überprüft. Wenn alle Tests erfolgreich waren, schließt das Programm mit der Meldung: "passed". Sollte ein Fehler auftreten, versucht das Programm dem Fehler einen Pin zuzuordnen, um die Fehlersuche zu erleichtern. Meistens handelt es sich dabei um Lötfehler von Bauteilen.

Mit dem ersten Parameter unterscheidet das Programm die unterschiedlichen Daten von Teststufe 1 und 2. Der zweite Parameter fließt in die VME-Adresse für die Auslese der Testdaten ein.

Mit dem Programm "test-flags" werden explizit das Full-Flag, Empty-Flag und Almost-Empty-Flag getestet, sowie die steuernden Leitungen. Das Programm hat nur einen Parameter, den der CATCH-Platine, da es nur in der ersten Stufe zur Anwendung kommt. Schrittweise werden alle Flags überprüft und mit einem "o.k." gekennzeichnet oder es wird das abweichende Muster ausgegeben. Die Fehlersuche bei Flags gestaltet sich schwieriger, da oft mehrere Ursachen in Frage kommen.

Anhang F

Test der Zähler-CMC

Die Datennahme der Zähler-CMC gestaltet sich ähnlich, wie die der HOTLink-Karten [35]. Beide CMC-Typen erhalten Daten und generieren daraus in einem programmierbaren Chip 32 Bit Datenworte. Der Chip speichert die Daten in einem FIFO, wo sie vom CATCH-Modul ausgelesen werden. Jedoch besitzt die Zähler-CMC nur einen Kanal und bedient nicht die DX-Bits [31], d.h. die Zähler-CMC generiert keine Fehlerworte. Der Test erfolgt wiederum durch mehrere Testphasen. In der ersten Teststufe werden vom FPGA Testworte generiert, welche vom CATCH-Modul ausgelesen werden. Dabei wird der Datenweg vom FPGA über die FIFOs getestet und die damit assoziierten Flags, sowie der Empfang von Triggersignalen. Des Weiteren wird die JTAG-Schnittstelle des FPGAs überprüft, da ein separates Design "cmc_to.bit" für den FPGA notwendig ist, das vorher in den Chip programmiert wird.

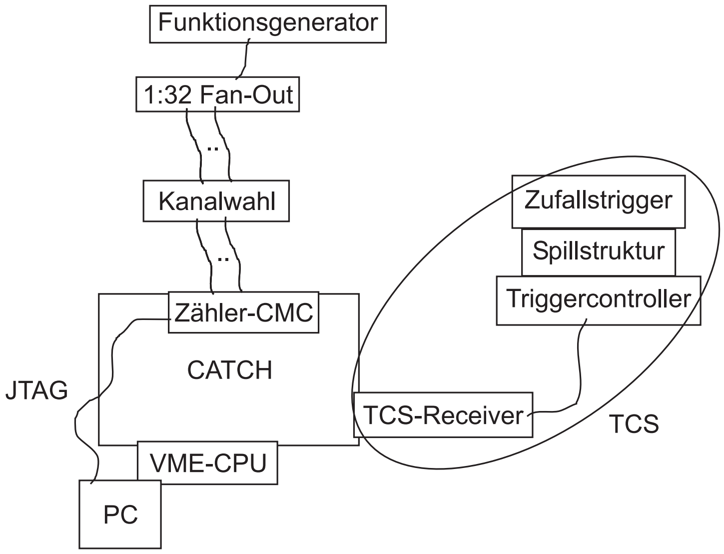


Abb. F.1: Labortestaufbau für der Zähler-CMC-Test

In einer nächsten Stufe werden die Eingänge getestet – zuerst ohne Eingangssignale, um die Paketstruktur der Daten zu überprüfen. Dafür wird der PROM mit dem endgültigen Design "sc_j5.mcs" programmiert, und somit wird auch diese Schnittstelle

geprüft, sowie die serielle Schnittstelle zwischen PROM und FPGA. Danach wird jeder zweite Kanal im Rahmen eines Labortestaufbaus (s. Abb. F.1) mit Signalen versorgt.
Damit wird die unabhängige Arbeitsweise der Kanäle untereinander gezeigt. Alle Kanäle sollten die gleiche Anzahl gezählt haben. Weiterhin wird aus den Anzahlen die Frequenz der Eingangssignale ermittelt und mit der Frequenz des Funktionsgenerators überprüft. Damit wird gezeigt, dass der Zähler tatsächlich grob richtig zählt. Jeder Test wird durch ein C-Programm unterstützt, welches die Daten nach dem geforderten Gesichtspunkt hin untersucht. Die Programme tragen die Bezeichnung "test-scaler", "test-scaler1" bzw. "test-scaler2". Sie benötigen als Parameter die Adresse der CATCH-Platine.

Weiterhin werden die LEDs, Adressdioden, Version und Kartensignatur getestet.

Anhang G

Glossar

6U Größenangabe für VME-Module, 160×233 mm

9U Größenangabe für VME-Module, 367×400 mm

A Abk. engl. Ambient – Umgebung, Variablenindex in Abschn. 6.6

ADC Abk. engl. Analog-to-Digital-Converter – wandelt Pulsformen von Signalen in digitale Signale um

Ag Abk. engl. Aging – Alterung, Variablenindex in Abschn. 6.7

Almost-Empty-Flag Engl. fast leer; zeigt an, dass das FIFO nur wenige Daten enthält

ASIC Abk. engl. Application Specific Integrated Circuit – IC, der speziell für eine Anwendung entwickelt wird

BCD Abk. engl. Binary Code Decimal – 4 Bit Dekodierung der Zahlen 0 bis 9 (15)

Bestückungsseite Die Seite der Platine, auf der sich die Bauteile befinden

Bit Kleinste Einheit der Information

BMS Abk. engl. Beam Momentum Station – Impulsstation zur Bestimmung des Impulses der Strahlteilchen

Boundary-Scan Engl. Testverfahren für die Verbindungen zwischen Chips

C Abk. engl. Case – Gehäuse, Variablenindex in Abschn. 6.6

C-Programm Software in der Programmiersprache C geschrieben

CATCH Abk. engl. COMPASS Accumulate, Transfer and Control Hardware – Herzstück der COMPASS-Ausleseelektronik

CATCH-X Prototyp des CATCH-Moduls

CERN Abk. franz. Conseil Européen pour la Recherche Nucléaire – Europäisches Forschungszentrum für Teilchenphysik in Genf

CHEOPS Abk. engl. CHarm Experiment with Omni-Purpose Setup – Vorschlag für ein Experiment am CERN

CLK Abk. engl. CLocK – Systemtakt

CMC Abk. engl. Common Mezzanine Card – Platinenstandard der für Aufsteckkarten des CATCH-Moduls genutzt wird

COMPASS Abk. engl. COmmon Muon and Proton Apparatus for Structure and Spectroscopy – Experiment am CERN, Hintergrund für diese Arbeit

Control-FPGA Engl. FPGA auf dem CATCH-Modul mit spezieller Funktion

CPLD Abk. engl. Complex Programmable Logic Device – programmierbarer Logikbaustein auf Basis von UND- und ODER-Gattern

CPU Abk. engl. Central Processing Unit – Prozessor

Crystal-Barrel-Experiment Engl. Kristallfass, Experiment am ELSA-Beschleuniger an der Universität Bonn

Cu Abk. lat. Cuprum – Kupfer

Cypress Engl. Cypress Semiconductor Corporation – Chiphersteller

D Abk. engl. Dissipation – Verlust, Variablenindex in Abschn. 6.6 und 6.9

Data-FIFO Engl. FIFO auf dem CATCH-Modul

DESY Abk. Deutsches Elektronen-SYnchrotron – Labor in Hamburg

DLL Abk. engl. Delay Locked Loop – phasengesteuerte Methode zur Stabilisation oder Hochtaktung eines Systemtaktes

DNP Abk. engl. Dynmic Nuclear Polarisation – dynamische Kernpolarisation

ECL Abk. engl. Emitter Coupled Logic – Schaltkreisfamilie

ELSA Abk. Elektronen Stretcher-Anlage – Beschleuniger der Universität Bonn

Empty-Flag Engl. leer; zeigt an, dass das FIFO keine Daten enthält

$\mathcal{F}$1-TDC Abk. $\mathcal{F}$ steht für Freiburg – Chip, der TDCs enthält und speziell für COMPASS entwickelt wurde

$\mathcal{F}$1-TDC-CMC Aufsteckkarte für das CATCH mit vier $\mathcal{F}$1-TDCs

Fan-Out Engl. Vervielfachermodule für elektronische Signale

FIFO Abk. engl. First In First Out – Speicherbaustein

Flag Engl. Signal, welches den Zustand von ICs markiert

Flip-Flop Logische Speicherzelle (1 Bit)

Formatter-FPGA Engl. FPGA auf dem CATCH-Modul mit spezieller Funktion

FPGA Abk. engl. Field Programmable Gate Array – programmierbarer Logik-Baustein.

FR4 Abk. Engl. Fire Retardant epoxy laminate sheets – Basismaterial zum Aufbau von Leiterplatten

Front-End Engl. vorderstes Ende, Elektronische Schnittstelle zu den Detektoren

Full-Flag Engl. voll; zeigt an, dass das FIFO keine Daten mehr aufnehmen kann

GATE Engl. Tor, Schranke; Vetofunktion innerhalb des eigenständigen kompakten Datennahmesystems

GND Abk. engl. GrouND – Masse, Bezugspotential, Erde

GEM Abk. engl. Gas Electron Multiplier – Gaselektronenvervielfacher, Spurdetektor

H Abk. engl. Heatsink – Kühlkörper, Variablenindex in Abschn. 6.6

Halo Engl. Heiligenschein; störende Strahlteilchen, die sich außerhalb des eigentlichen Strahls befinden

Hardware Engl. Elektronikkomponenten aller Art

Header-FIFO Engl. FIFO auf dem CATCH-Modul

HERMES Abk engl. HERa MEasurement of Spin – Experiment am DESY

HCMOS Abk. engl. High speed Complementary Metal Oxide Semiconductor – Schaltkreisfamilie

High-Pegel in der Digitalelektronik logisch eins

HMC Abk. engl. Hadron Muon Collaboration – geplantes Experiment am CERN

HOTLink Engl. heiße Verbindung; Protokoll zur Datenübertragung via Twisted-Pair-Kabel oder Glasfaserkabel

IC Abk. engl. Integrated Circuit – integrierter Schaltkreis

ID Abk. engl. IDentity – Identifikationsnummer, Adresse

Impedanz Wellenwiderstand

J Abk. engl. Junction – Knotenpunkt; Silizium mit Gattern innerhalb eines ICs, Variablenindex in Abschn. 6.6

Jumper Engl. Springer; kleiner Stecker der zwei Pins miteinander elektrisch verbindet

Kode Programmtext für Software

L Abk. engl. Load – elektronische Last, Variablenindex in Abschn. 5.5 und 6.7

Latch ähnlich einem Register, jedoch mit anderer Zufriffsbedingung

LED Abk. engl. Light Emitting Diode – Leuchtdiode

Linearregler wandelt Gleichspannungspegel um

Lötseite Gegenseite zur Bestückungsseite

LOW-DROPOUT Engl. niedrieges Austropfen – Linearregler mit geringer Differenz zwischen Ein- und Ausgangsspannung

LSB Abk. engl. Least Significant Bit – Bit mit kleinstem Stellenwert

LUT Abk. engl. Look Up Table – Wertetabelle, kombinatorisches Element im FPGA

LVDS Abk. engl. Low Voltage Differential Signal – Differenzieller Signalstandard

LVTTL Abk. engl. Low Voltage Transistor Transistor Logic – TTL mit 3,3 V Betriebsspannung

LVPECL Abk. engl. Low Voltage Positive Emitter Coupled Logic – PECL mit 3,3 V Betriebsspannung

Micrel Engl. Micrel Incorporated – Chiphersteller

MicroMega Abk. engl. Micro Mesh Gas Structure detector – Mikrogittergaszähler

MSB Abk. engl. Most Significant Bit – Bit mit höchstwertiger Zweierpotenz

MUX Abk. MUltipleXer

MWPC Abk. engl. Multi Wire Proportional Chamber – Vieldrahtproportionalkammer, Spurdetektor

N Abk. engl. Nominelly – nominell, Variablenindex in Abschn. 6.7

NAND-Gatter Abk. engl. Not AND – fundamentales, logisches Gatter, verknüpft seine Eingangssignale durch die Operation negiertes “Und”

NECL Abk. engl. Negative Emitter Coupled Logic – ECL mit -5 V Betriebsspannung

NIM Abk. engl. Nuclear Instrumentation Methods – Instrumentationsstandard der Kern- und Teilchenphysik

ODER fundamentale, logische (Boole’sche) Funktion, verknüpft seine Eingangssignale durch die Operation “Oder”

P Abk. engl. Power – Betriebsspannung, Variablenindex in Abschn. 6.7

P1 Abk. engl. Plug 1 – oberster Stecker von VME-Modulen

passed Engl. bestanden

PECL Abk. engl. Positive Emitter Coupled Logic – ECL mit 5 V Betriebsspannung

PGF Abk. engl. Photon Gluon Fusion – Subprozess zur Bestimmung der Gluonpolarisation

Photon-Tagger Engl. Photonmarkierung; Triggerbedingung, die Photonen berücksichtigt

Pin Engl. Anschluss (Beinchen) z.B. eines ICs oder Steckers

PIT Abk. engl. Plastic Iarocci Tubes – Plastik-Iarocci-Röhren, Teilchendetektor

PREPREG Abk. engl. PRE-imPREGnated – Leiterplattenisolationsmaterial auf der Basis von Glasfiber

PROM Abk. engl. Programmable Read Only Memory – Speicher zum Programmieren des FPGA

Pull-Down Engl. Runterziehen (gegen V_{CC}); bei Widerständen gegen Masse

Pull-Up Engl. Hochziehen (gegen V_{CC}); bei Widerständen gegen die Betriebsspannung

RAM Abk. engl. Random Access Memory – Arbeitsspeicher

Register Kommunikationsspeicher z.B. in einer CPU

RESET Engl. Signal, um definierten Anfangszustand zu setzen

RICH Abk. engl. Ring Imaging Cherenkov Counter – ringabbildender Čerenkov-Zähler, Teilchendetektor

S Abk. engl. Source – Signalquelle, Variablenindex in Abschn. 5.5

S-Link Abk. engl. Simple LINK interface – serielle Schnittstelle, CERN-Protokoll zur optischen Datenübertragung

SEL Abk. engl. SELect – Auswählen

Single-Ended Engl. einfach abgeschlossen, differenzielles Signal auf einer Leitung

SLINK-FPGA FPGA auf dem CATCH-Modul; steuert S-LINK

SMC Abk. engl. Spin Muon Collaboration – Spin-Myon-Kollaboration am CERN

SMD Abk. engl. Surface Mounted Device – Bauteil mit aufliegenden Pins verlötet

Software Engl. Programme für PCs

Spill Dauer mit ununterbrochener Strahlintensität

SPS Super Proton Synchrotron – Kreisbeschleuniger für Protonen am CERN

Spy-Buffer FIFO auf dem CATCH-Modul, das über die VME-Schnittstelle ausgelesen werden kann

SYNC Abk. engl. SYNChronisation – signalisiert den Beginn eines Messintervalls

t Abk. Target, Variablenindex in Abschn. 3.7

T Abk. engl. Temperature – Temperatur, Variablenindex in Abschn. 6.7

TCS Abk. engl. Trigger Control System – Auslösepulskontrollsystem

TCS-Receiver Engl. Empfangsplatine für Triggerdaten beim COMPASS-Experiment

TDC Abk. engl. Time to Digital Converter – wandelt eine Zeitinformation in digitales Datenformat

TDR Abk. engl. Time Domain Reflection – Verfahren, welches Reflexionen (aller Art) eines Stimulussignals auswertet und daraus Informationen vom reflektierenden Element gewinnt

TI Abk. engl. Texas Instruments Incorporated – Elektronikkonzern in den USA

Treiber Stromquelle für Signalerzeugung an Ausgängen von ICs

TRG Abk. engl. TRiGger – Auslösepuls

Triggercontroller Engl. Triggerelekronik, die die Triggerlogik enthält

Twisted-Pair Engl. Verdrilltes Paar

UND fundamentale, logische (Boole'sche) Funktion, verknüpft seine Eingangssignale durch die Operation "Und"

V0 Abk. Version 0; erste Version des CATCH-Moduls

V1 Abk. Version 1; zweite Version des CATCH-Moduls

Vb Abk. engl. Voltage bias – Vorspannung

VCC Abk. engl. Voltage Circuit Control – Betriebsspannung

VHDL Abk. engl. Very High Speed Integrated Circuit (VHSIC) Hardware Description Language – Programmiersprache für Simulation und Programmierung von programmierbaren ICs, wie z.B. FPGAs oder CPLDs

VME Abk. engl. Versa Module Eurocard – Bus- und Platinenstandard

Vt Abk. engl. Voltage termination – Terminierungsspannung

Literaturverzeichnis

[1] Yu. Alexandrov et al.; The CHEOPS letter of intend; CHarm Experiment with Omni-Purpose Setup; CERN/SPSLC 95-22, SPSLC/I202 (1995)

[2] E. Nappi et al.; The HMC letter of intend; Semi-Inclusive Muon Scattering from a Polarised Target; CERN/SPSLC 95-27, SPSC/I204 (1995)

[3] The COMPASS Collaboration; Proposal, Common Muon and Proton Apparatus for Structure and Spectroscopy; CERN/SPSLC 96-14, SPSLC/P297 (1996); http://wwwcompass.cern.ch/compass/proposal

[4] http://sl.web.cern.ch/SL/eagroup/NewM2/main.html

[5] S. Bultmann et al.; A Study of Lithium Deuteride as a Material for a Polarized Target; Nucl. Instrum. Meth. A, 425:23-26 (1999)

[6] http://wwwcompass.cern.ch/compass/detector/target/welcome.html

[7] D. Adams et al. (SMC); The polarized double cell target of the SMC; Nucl. Instr. Meth. A, 437 (1999)

[8] M. Lamanna; COMPASS: Present status and outlook (Talk); International Workshop on Hadron Structure and Hadron Spectroscopy in Trieste (2002)

[9] http://wwwcompass.cern.ch/compass/detector/target/20010924-1st-double-dnp.jpg

[10] M. Frhr. v. Hodenberg; Diplomarbeit: A first Reconstruction of COMPASS Data (2002)

[11] F. Simon; Diplomarbeit: Commissioning of the GEM detectors for the COMPASS experiment; TU München (2001)

[12] S. Horikawa et al.; Time resolution of a Scintillating fiber detector; Nucl. Instr. and Meth. in Phys. Res. A431, 177-184 (1999)

[13] R. Wagner; Diplomarbeit: Commissioning of Silicon detectors for the COMPASS experiment at CERN; TU München (2001)

[14] E. Lohrmann; Einführung in die Elementarteilchenphysik; Teubner Studienbücherei (1990)

[15] D. v. Harrach et al., The Muon Trigger Group of COMPASS; Muon Trigger Documentation (2002)

[16] I. Konorov, L. Schmitt, B. Grube; COMPASS TCS documentation 2001, Memorandum, COMPASS Note; TU Munich (2001)

[17] B. Povh, K. Rith, Ch. Scholz, F. Zetsche; Teilchen und Kerne; Springer-Verlag (1999)

[18] J. Ashman et al. (EMC); Phys. Lett. B 206, 364 (1988)

[19] G.K. Mallot; Habilitation: The Spin Structure of the Nucleon from the SMC Experiments; Johannes-Gutenberg-Universität (1996/1999)

[20] K. Abe et al. (SLAC E-143); Phys. Rev. Lett. 74, 346 (1995)

[21] K. Ackerstaff et al. (HERMES); Flavor Decomposition of the Polarized Quark Distributions in the Nucleon from Inclusive and Semi-Inclusive Deepinelastic Scattering; Phys. Lett. B 464, 123 (1999)

[22] G.v.d. Steenhoven; Polarized Structure Functions; Baryons4: submitted to World Scientific (2002)

[23] The European Physical Journal C, Vol. 3, No 1-4; Review of Particle Physics; Springer (1998)

[24] J.-M. Le Goff; Evaluation of D0 and D* channels for the measurement of Δg/g; COMPASS note 2002-2

[25] I. Bojak, M. Stratmann; Nucl. Phys. B 540, 345 (1999)

[26] G.K. Mallot; Accessing the gluon polarisation in deep inelastic scattering; conference on quarks in hadrons and nuclei held in Erice (1995)

[27] J.J. Aubert et al. (EMC), Phys. Lett. B 167, 127 (1986)

[28] T. Gehrmann, W.J. Sterling; Z. Phys. C 65, 461 (1994)

[29] A. Bravar, D. v. Harrach, A. Kotzinian; ΔG from Correlated High-p_T Hadron Pairs in Polarized Lepton-Nucleon Scattering; Universität Mainz; Talk given at 5th International Workshop on Deep Inelastic Scattering and QCD (DIS 97), Chicago, IL (1997); e-Print Archive: hep-ph/9706456

[30] G. Braun; An 8 channel time to digital and latch integrated circuit for the COMPASS experiment at CERN; Universität Freiburg (1999)

[31] H. Fischer et al.; The COMPASS Online Data Format (Version 2); COMPASS Note 2001-8

[32] Th. Schmidt; Dissertation: The Common Readout Driver for the COMPASS Experiment (2002); Universität Freiburg

[33] H. Fischer et al.; CATCH Users Manual; COMPASS Note 2002

[34] L. Hennig; Diplomarbeit: Integration einer Kontroll- und Ausleseeinheit in das COMPASS-Experiment (2000); Universität Freiburg

[35] M. Niebuhr; Diplomarbeit: Entwicklung eines 250 MHz Zählers mit totzeitfreier Auslese für das COMPASS-Experiment; Universität Freiburg (2000)

[36] HOTLink Receiver/Transmitter CY7B923/CY7B933 Datasheet; Cypress Semiconductor Corporation (2002); http://www.cypress.com/cfuploads/img/products/38-02017.pdf

[37] G. Braun et al.; CATCH and CMC-HOTLink Readout Driver Specification; COMPASS Note 1999-15

[38] A. Maggiora et al.; Torino and Dubna LNP groups; Fast front-end electronics for COMPASS MWPCs; Dipartimento di Fisica Generale A. Avogadro and INFN - Torino (1999)

[39] http://hpfr02.physik.uni-freiburg.de/projects/compass/electronics/frontend.html

[40] S. Dalla Torre et al.; COMPASS RICH-1, VCI01, Vienna (2001)

[41] A. Rost; Grundlagen der Elektronik – Ein Einstieg für Naturwissenschaftler und Techniker; Akademie Verlag (1992)

[42] C. Petty, T. Pearson; Designing with PECL; Application Note AN1406/D (1999); ON Semiconductor

[43] LVDS Fundamentals; Application Note AN-5017 (2000); Fairchild Semiconductor

[44] J. Johansson, U. Lundgren; http://jota.sm.luth.se/∼d92-uln/master/Theory/4.html

[45] ECL Backplane Design; Application Note AN-768 (2000); Fairchild Semiconductor

[46] H. Stroppe; Physik für Studenten der Natur- und Technikwissenschaften; Fachbuchverlag Leipzig, Köln (1994)

[47] E. Grimsehl; Lehrbuch der Physik, Bd. 2: Elektrizitätslehre; Teubner-Verlag Leipzig (1980)

[48] H. Hinsch; Elektronik – Ein Werkzeug für Naturwissenschaftler; Springer-Verlag Berlin, Heidelberg (1996)

[49] P. Shockman; Termination of ECL Logic Devices; Application Note AND8020/D (2001); ON Semiconductor

[50] Terminating F100K ECL Inputs; Application Note AN-682 (2001); Fairchild Semiconductor Corporation

[51] P. Shockman; Interfacing Between LVDS and ECL; Application Note AN1568/D (2001); ON Semiconductor

[52] T. Pearson; ECL Clock Distribution Techniques; Application Note AN1405 (1996); Motorola

[53] HCMOS Design Considarations; SCLA007 (1996); Texas Instruments Incorporated

[54] G. Durcansky; EMV-gerechtes Gerätedesign; Franzis-Verlag (1999)

[55] Leiterplattenhandbuch; Ausgabe 6,0; Ilfa-Feinstleiter GmbH (1999)

[56] Operating ECL from a Single Positive Supply; Application Note AN-780 (2000); Fairchild Semiconductor Corporation

[57] LM1085 3A Low Dropout Positive Regulators, Datasheet (2001); National Semiconductor Corporation

[58] Catalogue 2001 Frequency Control Products; Fordahl Group

[59] http://www.quintenz.de/pdf/OCXO-Artikel.pdf; Quintenz Hybridtechnik

[60] IEEE 1014-1987, IEEE Standard for A Versatile Backplane Bus: VME-bus (1981)

[61] W. D. Peterson; The VMEbus Handbook – A User's Guide to the IEEE 1014 and IEC 821 Microcomputer Bus; VFEA International Trade Association (1992)

[62] The Programmable Logic, Data Book 2000; Xilinx, Inc.

[63] Live Insertion; SDYA012 (1996); Texas Instruments Incorporated

[64] VME-CRATE TYPE 5020, 5021, 5022, 5023; VXI-CRATE TYPE 5011, 5021; VNX-CRATE TYPE 5021, 4021; User Manual; Wiener Plein & Baus GmbH (1997)

[65] Avoid The Pitfalls Of High-Speed Logic Designs; Design Applications (1989/97); Electronic Design

[66] http://www.fs-leiterplatten.de; fechner-schulte Leiterplattentechnik GmbH

[67] A. Mäder; VHDL Kurzbeschreibung; Universität Hamburg, Fachbereich Informatik (1997)

[68] VHDL Express – VHDL Reference Manual; Synopsys, Inc. (1997)

[69] MC10EP1965, MC100EP195, Datasheet; 3,3 V/5 V ECL Programmable Delay Chip; ON Semiconductor (2002)

[70] http://www-esd.fnal.gov/esd/catalog/intro/intronim.htm

[71] H. Fischer et al.; CATCH-X Users Manual; COMPASS Note 2000-12

[72] M. Hoffmann; Staatsexamensarbeit: Aufbau einer Signalquelle zum Test von schnellen Datenaufnahmesystemen (2000); Universität Freiburg

Abbildungsverzeichnis

Tabellenverzeichnis

Danksagung

Die vorliegende Arbeit ist mit der Unterstützung vieler Menschen aus meinem näheren Umfeld entstanden. Dazu gehört der universitäre, wie auch der private Kreis. Die Personen aus dem Bereich der Universität stammen aus der Arbeitsgruppe, in der ich tätig bin, sowie aus der elektromechanischen und mechanischen Werkstatt der Fakultät.

Ich bedanke mich bei Prof. Dr. Kay Königsmann für die Schirmherschaft zu dieser Arbeit mit vielen Anregungen und Ideen. Weiterhin bekanke ich mich bei den Arbeitskollegen der Arbeitsgruppe, die mir das notwendige physikalische Umfeld verschafften, um sich zu entwickeln und in dem man viele Fragen stellen darf. Die Antworten werfen oft weitere Fragen auf, jedoch liegt das in der Natur der Sache und man gewöhnt sich daran. Insbesondere möchte ich meinen beiden Betreuern Dr. Horst Fischer und Dr. Fritz-Herbert Heinsius für ihre Hilfestellungen bedanken, die sich in ihren Antworten hervorragend ergänzen. Ich danke Rainer Fastner für die Entwicklung der Frontplatten und deren Bedruckung. Durch den Elektronikingenieur der Arbeitsgruppe Jürgen Worch bekam ich fachlichen Rat zu vielen elektronischen Fragestellungen, wofür ich ihm danke.

Des Weiteren sei Eckhard Bergmann, Leiter der elektromechanischen Werkstatt, gedankt für die fruchtvolle Zusammenarbeit. Aus dieser Werkstatt möchte ich mich stellvertretend bei Jürgen Saborowski für die Entwicklung des Layouts der Platine des Triggerverteilermoduls, sowie bei Martin Kienzler für die langwierigen Arbeiten an dem Layout der Triggerlogikplatine bedanken. Gerd Meyer danke ich für den reibungslosen Ablauf beim Einkauf der Bauteile.

Aus dem privaten Kreis danke ich meiner Familie, vor allem meinen Eltern, für ihre Unterstützung außerhalb der Physik, ohne die große Anstrengungen auf Dauer nicht möglich wären.

Abschließend gilt mein Dank Diana Harnischfeger für die Geduld mit mir das Leben eines Physikstudenten zu teilen, was sicherlich auch für die vorliegende Arbeit förderlich war.

Erklärung

Diese Arbeit ist von mir selbstständig verfasst worden, und ich habe keine anderen, als die angegebenen Quellen und Hilfsmittel benutzt.

Falk Karstens, August 2002